

[招待論文] トランジスタの動作点解析による故障箇所の特定 - リーク故障が論理動作に与える影響 -

真田 克

高知工科大学 電子・光システム工学科 〒782-8502 高知県香美市土佐山田町

E-mail: sanada.masaru@kochi-tech.ac.jp

あらまし リーク故障に伴い顕在化する論理故障の発生箇所を特定するために、スイッチングレベルシミュレーションを用いた診断ソフトウェア中にゲート電圧に注目したトランジスタ動作点解析のための技術を取り入れている。この技術はリーク故障によりもたらされた中間電位となった信号がトランジスタのゲート電極に印加したとき、トランジスタが飽和領域に動作点を持つようになることを利用した方式である。CMOS 回路の場合この動作は貫通電流回路網を形成する。そして貫通網のインピーダンス分割比から算出される電圧値が論理故障として伝播し出力する。診断方式を検証するために故障を埋め込んだ回路での診断をおこなった。この結果は SPICE 解析とも一致し、この技術の有効性を証明できた。

キーワード スwitchングレベルシミュレーション、故障診断、論理故障、インピーダンス値、貫通電流回路網

Fault Detection Technique by Using Transistor Operating Point Analysis - Influence of Logic Operation on Leakage Fault -

Masaru Sanada

Dept. of Electronic and Photonic Systems Engineering

Kochi University of Technology Tosayamada, Kami-shi, Kochi, 785-8502 Japan

E-mail: sanada.masaru@kochi-tech.ac.jp

Abstract The novel method has been developed to detect accuracy fault elements in transistor level circuit, analyzing the characteristics of circuit operation influenced on leakage fault and being combined with switching level simulation. This method is based on behavior of CMOS Tr to which applied unstable voltage produced by leakage fault. Unsettled logic brings the Tr's operation point to saturation area with multi-impedance value and forms penetration current nets passing through it. Out put value on the nets is calculated with each element impedance value and miss-logic signal is spread to output terminal. An evaluation of this technology corroborates to be precise method by using the circuit in which embedded arbitrary fault portions.

Keyword Switching level simulation, Fault diagnosis, Logic fault, Impedance value, Circuit with penetration current

1. はじめに

LSI の大規模化、多層配線構造化は故障箇所の特定を困難にしてきており、故障解析は膨大な工数を費やす傾向になってきている。物理解析を行うために予めソフトウェアを用いて故障箇所候補を特定し、その候補に対して診断方式が研究開発されてきている。

従来、故障診断はセル(基本的な論理動作を有する回路単位)間を接続する配線に対して stuck_at faults(SAF)故障の論理診断を行っていた。しかしながら回路構成はセルといえどもトランジスタ(Tr)数が500個を超える規模が作られるようになり、さらに多層配線構造化は最下層にセルを構成するため、セル内部に注目した Tr レベルの診断が必要になってきている。また、セルや小規模回路の Tr レベルに対するアナ

ログ解析技術として SPICE (Simulation Program with Integrated Circuit Emphasis)があった。精度よくシミュレーションを行うことができる。しかしながら準備と診断処理に時間がかかるため、短 TAT を必要とする故障診断技術において実用的ではなかった。

ところで、これまでの研究や公知の論文から故障の現象を整理すると図1に示すように3点に集約される。

- 1) LSI 故障は出力端子における論理異常や電源電流の異常として顕在化する。
- 2) 論理故障の90%以上は電流異常を伴う。
- 3) 電流異常の75%以上は配線系故障である。

この結果は、LSI 故障は論理異常と同時に電源電流異常(リーク故障)を伴い、この大半は配線系の故障であることを述べている[1][2][3]。そして、このよう

なデータをもとに Tr レベルの故障箇所候補を特定するアルゴリズムの研究と診断ソフトウェアの開発を行ってきた[4][5][6][7]。

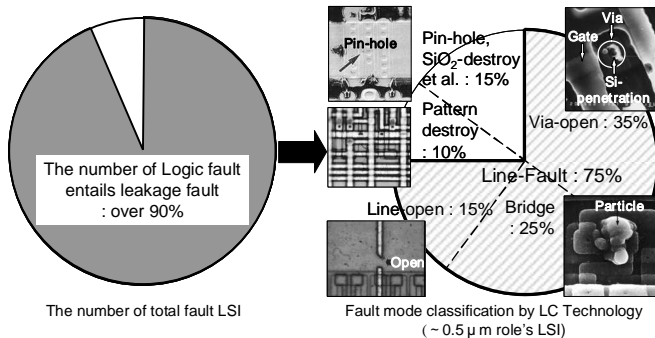


図 1 LSI の故障について

本文はこの背景のもとに開発した診断技術を述べるものであり、まず 2 章にて診断の概要、この技術を構成するレイアウト情報からの故障候補の特定とこの候補に対する診断技術を説明する。3 章にて色々な故障モードの診断に対応すべく開発した技術を述べる。4 章にて基本回路による検証結果、5 章にて実故障品への適用結果を述べ、最後にまとめを行う。

2. 診断の概要

診断は Tr レベルの回路レイアウト上からのリーク故障候補を特定し、この候補に対して論理シミュレーションにより故障の発生の有無を検証する診断方式である。以下に診断の概要、レイアウト情報からの故障候補特定そして診断方式に関して述べる。

2.1. 診断フロー

診断手順は図 2 に示すように、公知の方式[8]で絞り込まれたセルや回路網に対して、Tr レベルのレイアウト構造からリーク故障を発生する可能性のある箇所を故障候補として特定する。次に、これらの故障候補を回路に埋め込み、Tr の動作点解析を組み込んだ SLS 診断を実施する。そして、出力する結果が実際の故障と一致する箇所を故障候補として特定する手順である。

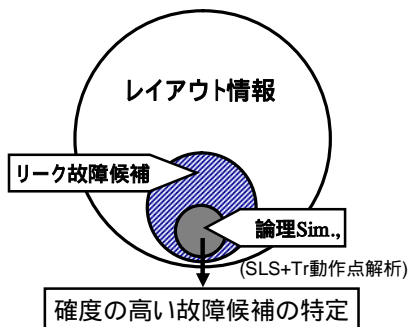


図 2 診断手順

2.2. レイアウト情報からの故障候補特定

レイアウト情報は LVS(Layout Versus Schematic)を用いて特定したリークの可能性のある情報であり、ショート箇所候補とオープン箇所候補を有する。

ショート故障候補は配線の最小間隔の隣接ネット対および、交差ネット対であり、LVS データベースからネットのポリゴン情報を取り出し、その矩形座標列をそのまま DEF 形式として認識する。

オープン故障候補は Via であり、Via を介して接続する Tr 端子がオープンになることから、対象とする Tr を故障候補として取り出す。

2.3. 診断

診断は Tr の動作点解析を組み込んだ SLS(スイッチング・レベル・シミュレーション)診断である。SLS は Tr のゲート (G) 端子に印加する論理に同期してソース (S)・ドレイン (D)間が導通または非導通となるスイッチング動作をベースとした論理シミュレーションであり、ゲート電圧に依存した Tr の動作状態を組み込むことで診断精度を向上させる。この Tr 動作はゲート電圧の変化により Tr を on/off すると同時に中間電位 (Appendix 参照)の範囲では on 状態が持続するという特性を有する。このような論理状態は CMOS 回路において電源間に貫通電流網を形成する。そして貫通網をインピーダンスに置き換えることで出力論理値を算出する。

上述した診断方式は従来のセル間診断で扱った大きい電圧値 (V_{th}) に対する 2 値論理としての診断方式と異なるものである。

2.3.1. トランジスタ動作点解析

中間電位は $V_{IL(max)}$ と $V_{IH(min)}$ ではさまれた範囲の電位を示す。図 3 は Inverter 回路の $V_{IN} - V_{OUT}$ 特性であり、中間電位 (図中 B 点 ~ E 点) は PchTr と NchTr を共に on 状態とする。そのため、この間で貫通電流網が形成されリーク電流が流れる。このリーク電流は各 Tr の on 状態におけるインピーダンス値で決定される。

インピーダンス値は V_{IN} に対する PchTr と NchTr の動作領域の解析から算出できる。 V_{IN} は Tr のゲート-ソース間電圧 (V_{GS}) に対応し、 V_{OUT} は Tr のドレイン-ソース間電圧 (V_{DS}) に対応する。そのため V_{IN} に同期した V_{OUT} 値から決定される V_{DS} と貫通電流 I_{DD} とのクロス点が動作点となり、 (V_{DS}/I_{DD}) 値をインピーダンス値として算出できる。

図 3 の下部に示す表は Pch、NchTr の V_{IN} すなわちゲート電圧 (V_{GS}) に対する、" V_{IL} および、 V_{IH} 値がゲート電極に印加したときの Tr のインピーダンス値を 1" とした時の比率である。そして、中間電位の各位置においてこれらの比率は Tr のインピーダンス値が大きく変化していることを示している。

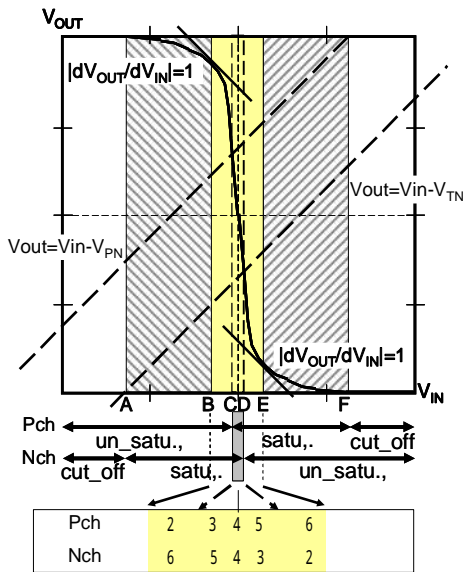


図3 Inverter回路のV_{IN} - V_{OUT}特性

3. 多様な故障モード

発振現象や故障論理の追跡など多様な故障モードに対応するために、Tr極性の判定のためのルール化、仮想素子の導入による論理の判定及び、ゲート単位の論理展開に対する遅延の導入を行った。

3.1. Tr極性の判定ルール化

このルール化は設計データとして準備されたSPICE (Tr電源端子に接続するネット名のリスト)の記述順序の変化に対応するためである。そのため、NchTr端子の接続先がGNDに到達する方向を、同様にPchTr端子のそれがV_{DD}に到達する方向をソースとすることで電極を決定することでルール化を図った。

3.2. 仮想素子導入による論理判定

論理が合流する箇所に仮想素子(virtual elements: VE)を設ける。出力論理はその素子に入力する論理関係から論理を判定する。表1は論理の組合せに応じて決定される出力論理を示す判定表である。表中Weak0, Weak1は後述する中間電位の範囲に位置する電圧であり、各々しきい値(V_{DD}/2)より低い電圧と高い電圧を示す論理値である。HZはハイ・インピーダンス値、さらにZ_Cは出力論理値を決定するためにインピーダンス計算が必要であることを示す。例えば一方側が0、他方側が1を有する論理がVEに入力したとき貫通電流網が形成される。そのため出力論理はこの貫通網のZ_C処理により決定される。以上の処理は多様な故障論理値に対する診断や、貫通電流を伴わない故障診断に対しても有効である(Appendix参照)。

表1 論理を組合せによる出力論理の判定表

	0	1	w _{eak} 0	w _{eak} 1	HZ
0	0				
1	Z_C	1			
W _{eak} 0	0	Z_C	w _{eak} 0		
W _{eak} 1	Z_C	1	Z_C	w _{eak} 1	
HZ	0	1	0	1	HZ

(Z_C:インピーダンス計算)

3.3. 遅延の付加

故障信号の伝搬や特にフィードバック故障による発振現象を再現するためにVEの通過時に一律に遅延を付加することで、各イベント毎の伝搬を明確にする。

4. 基本回路での検証

この診断技術を検証するために、故障を作り込んだ基本論理回路を準備した。故障は配線間ショート故障とviaオープン故障である。

4.1. ショート故障

基本回路は1個のインバータと1個の2入力NANDからなり、インバータの出力が2入力NANDのTr_P2とTr_N2のゲート電極に接続した、2入力1出力端子を構成する回路である。埋め込んだショート故障はTr_P2のゲート・ドレイン配線間である。(図4を参照)。

(In1,In2)に(1,1)が印加したとき、正常状態ではNchTr:N1,N3とPchTr:P2がon状態となり“H”が出力する。しかし、ショート故障はNchTr:N1,N2,N3とPchTr:P2がon状態となり貫通電流網が形成される。仮想素子VEを介した論理判定はZ_C処理により式(1)に示す計算より0.23V_{DD}(“L”)が出力する。

(In1,In2)に(0,1)が印加したとき、正常状態では

$$V_{out} = \frac{\{1/(1+n_{N2})+1\}^{-1}[\{1/(1+n_{N2})+1\}^{-1}+n_{P2}]}{\{1/(n_{P2}+1)\}} \cdot V_{DD} = 0.23 \cdot V_{DD} \quad \dots\dots 1$$

NchTr:N2,N3とPchTr:P1がon状態となり“L”が出力する。しかし、ショート故障はNchTr:N2,N3とPchTr:P1,P2NchTr:N1,N2,N3とPchTr:P2がon状態となり貫通電流網が形成される。VE判定はZ_C処理に

$$V_{out} = \frac{\{n_{N2}+1\}}{\{(1/1+1/n_{P2})^{-1}+(n_{N2}+1)\}} \cdot V_{DD} \frac{\{(n_{N2}+1)/(n_{N2}+2)\}}{\{n_{N2}+2\}} \cdot V_{DD} = 0.82 \cdot V_{DD} \quad \dots\dots 2$$

より式(2)に示す計算より0.82V_{DD}(“H”)が出力する。

SPICEによる(In1,In2)へ印加する論理(1,1)と(0,1)は各々0.22・V_{DD}と0.83・V_{DD}を示しこの診断結果と一致した。

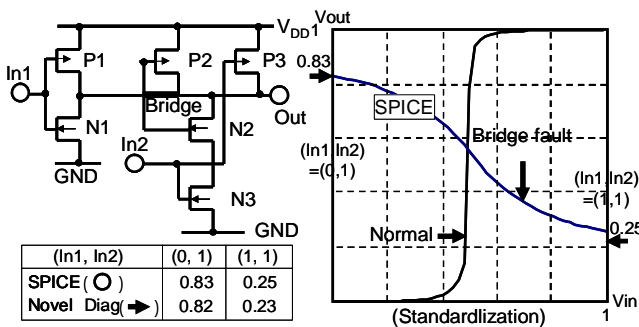


図4 ショート故障の診断結果であり、回路図と Vin-Vout 特性を示す。診断は開発ソフトと SPICE の比較を示す。

4.2. オープン故障

基本回路は 2 入力 NAND 回路であり、入力端子 "In1" がオープン状態となった故障を有する(図 5 を参照)。オープン故障による印加論理はレイアウトと周囲に論理状態に変化するため決定できない。そのためしきい値に対する 3 種類の論理状態 (<Vth, = Vth, > Vth) を設定して各々に関して論理の算出を行った。In2 は "H" を印加してある。

3 種類に論理に関わらず PchTr:P1、NchTr:N1 は on 状態となり貫通電流網が形成される。VE 判定は Z_C 処理により式(3)に示す計算より出力論理が決定される。

$$V_{out} = \frac{(n_n+1)}{\{(n_n+1)+n_p\}} \cdot V_{DD}$$

$$= \frac{(n_n+1)}{(n_n+n_p+1)} \cdot V_{DD} \dots\dots 3$$

その結果 < Vth, = Vth, > Vth, に対して各々 0.78V_{DD}, 0.56V_{DD}, 0.33V_{DD} が算出された。

SPICE による論理結果は同様に 0.82V_{DD}, 0.56V_{DD}, 0.23V_{DD} を示しこの診断結果と一致した。

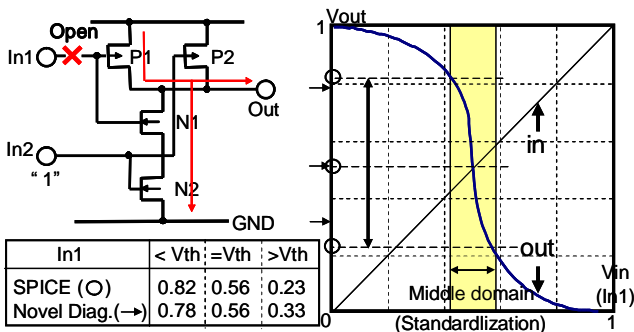


図5 オープン故障の診断結果であり、回路図と Vin-Vout 特性を示す。診断は開発ソフトと SPICE の比較を示す。

5. 実故障品への適用[7]

この診断を DSM を有する CMOSLSI の実故障品の診断に適用した。公知に絞込みにより検出されたエリア内に故障の可能性の高い論理回路集合を検出した。回路

は 4INPUT_ANDOR(4inAO)であり不規則な出力論理を有する回路である。図 6 に回路図、図 7 にレイアウト図を示す。

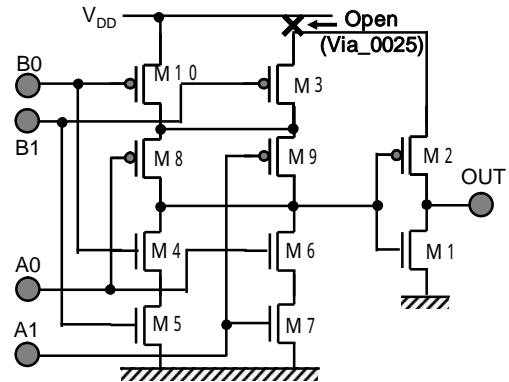


図6 4inAO の回路図

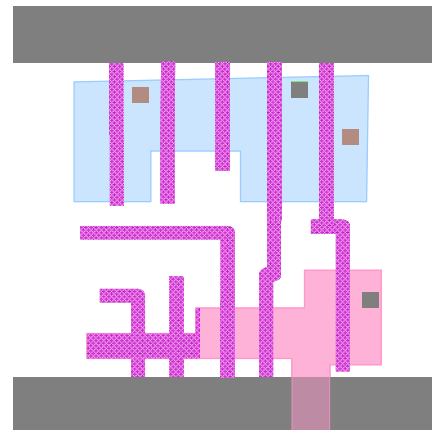


図7 4inAO のレイアウト図

一般に組合せ回路は入力論理に対して一意的で出力が決定されるがこの回路は表 2 に示すように入力 (0011)、(1011)、(1100)そして (1110) に対して各々 94%、82%、0%そして 78%の割合で異常論理を再現した。この回路のレイアウトデータから故障候補を特定した。その結果、表 3 に示すように隣接ネット対：11 箇所、交差ネット対：14 箇所、Via：8 箇所を特定した。これらの候補に対して診断を実施した。

表 2 異常論理の再現率

入力論理	異常論理の再現率
A0 A1 B0 B1	
0 0 1 1	94%
1 0 1 1	82%
1 1 0 0	0%
1 1 1 0	78%

表 3 レイアウト上の故障候補

隣接ネット対	11
交差ネット対	14
Via	8

その結果 via_0025 (回路上の素子番号) が不安定な故障現象を再現する故障候補として特定できた。この素子は VDD (電源配線) を介して PchTr(M2,M3) に接続する via である。FIBを用いた断面構造解析は via_0025 内のプラグ金属が充填できていないオープン故障であることを示した。図 8 にオープン via_0025 と正常 via の SEM 像を示す。

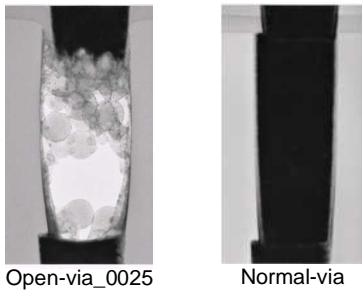


図 8 オープン via_0025 と正常 via の SEM 像

この結果を用いて不安定動作を再現する論理シミュレーションを実行したところ、同一入力論理でありながら異なる出力論理を出力することが検証できた。図 9 は検証結果の一例であり、入力(1110)を印加したときの論理は via_0025 オープン故障により以前の入力論理の影響が反映されていることがわかり、異常再現の有無が発生することが判明した。

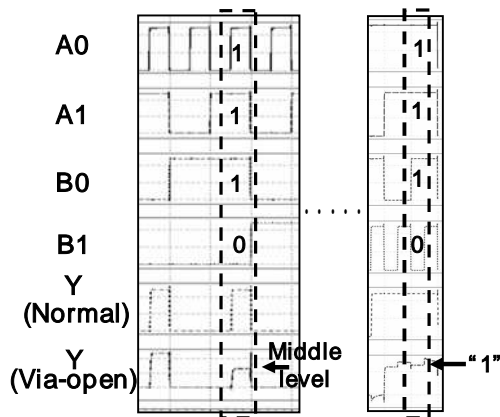


図 9 不安定動作を再現する論理シミュレーション例

本ツールは簡単な手順で Tr レベルの故障箇所候補を特定できる。またツール実行時間は今回の事例では約 1 分で完了する (SUN Blade2000 UltraSPARC-III+ 1.2GHz 使用)。同じ環境で SPICE を用いた診断時間に比べて 1/100 であり、この事例を通して物理解析の枠組みに中で大変有用な技術であることを確認できた。

6. まとめ

リーク故障に伴い変化する Tr 動作点の動作解析から故障箇所を特定する方式を開発した。SLS を用いた診断方式に組み込むことで簡易な方式で SPICE と同程度の診断精度と 1/100 の診断時間で処理ができた。

この診断方式は

リーク故障により中間電位となった信号が Tr のゲート電極に印加したとき、Tr は on 状態となる

その Tr を組み込んだ回路は貫通電流網を形成する貫通網のインピーダンス計算にて論理値を決定する方式である。

論理値の決定に対しては、仮想素子(VE)の導入、VEでの論理判定のための組合せ表(表 1)の作成、各イベント毎の遅延の設定を行った。

さらに精度向上に対して Tr の静特性の解析から入力電圧と共に変化するインピーダンス値の変化を取り入れた。

現在、本技術の実用化に向けて、故障論理の伝搬追跡や故障に伴う発振現象への適用とさらに大規模回路対応といった開発を進めている。

文 献

- [1] P.Maxwell, I.Hartanto and L.Sentz, "Comparing Functional and Structural Tests," in Proc. IEEE International Test Conference, pp.400-407 (2000).
- [2] M.Sanada, "Evaluation and Detection of CMOS-LSI with Abnormal I_{DDQ} ," Microelectronics and Reliability, Vol.35, No.3, pp. 619-629 (1995).
- [3] M. Sanada, "Layout-Based Detection Technique of Line Pairs with Bridging Fault Using I_{DDQ} ," IEICE Trans. Fundamentals, Vol. E87-D, No.3, pp.557-563 (2004).
- [4] 真田、則松、"スイッチング・レベル・シミュレーションを用いた組み合わせ回路内故障箇所の特定"、LSI テストシンポジウム 2004、p235-240, 2004.
- [5] 特許願 2005-136528 号 (2005/05/09)
- [6] M. Sanada and Y. Yoshizawa, "Fault diagnosis technology based on transistor behavior analysis," Microelectronics Reliability, vol.46, Issues 9-11, pp.1575-1580, Sept.-Nov. 2006.
- [7] 真田、吉澤、則松、"スイッチング・レベル・シミュレーションを用いたセル内故障診断 - リーク故障が論理動作に与える影響 -"、LSI テストシンポジウム 2005、p225-230, 2005.
- [8] 久慈憲夫、"故障診断手法とその動向"、LSI テスティングシンポジウム 2000、pp.64-69 (2000).
- [9] 吉澤、則松、佐藤、二階堂、真田、"スイッチング・レベル・シミュレーションを用いたセル内故障診断技術 - 故障動作と診断精度の検証 -"、LSI テストシンポジウム 2005、p231-236, 2005.

Appendix

参考資料として、仮想素子(VE)の導入、中間電位の定義の詳細および、貫通電流を伴わない故障に対しての適用について述べる。

仮想素子の導入

論理が合流する箇所に仮想素子(virtual elements: VE)を設ける。出力論理はその素子に入力する論理関係から論理を判定する。図 10 に 2 入力 NAND を例に示す。

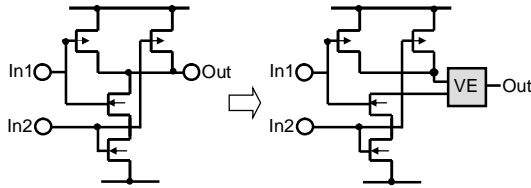


図 10 仮想素子(VE)の導入

中間電位の定義

中間電位の設定に関して定義内容を述べる。図 11 は NchTr、PchTr の $V_{DS} - I_{DS}$ 特性及び、これらの Tr を用いて構成した Inverter 回路の $V_{IN} - V_{OUT}$ 特性を示す。図中の A~F 点は動作内容に意味をもつ位置であり、中間電位の定義の説明に用いる。

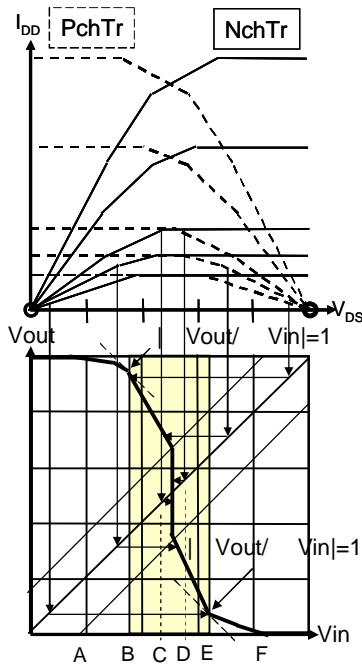


図 11 中間電位の定義

* A, F 点は NchTr、PchTr のチャンネル部に反転層が形成されるしきい電圧 V_{Tn} 、 V_{Tp} であり式 4 で表される。

$$V_T = \frac{2 \cdot 0 \cdot s_i q N(2 F)}{C_{ox}} + 2 F \dots \dots 4$$

(ϵ :誘電率、 Φ_F :フェルミポテンシャル、 q :電子の電荷量、 C_{ox} :酸化膜容量、 N :キャリア濃度)

* B, E 点は $V_{IL(max)}$ 、 $V_{IH(min)}$ と定義される規格値である。これらの値は Inverter の電圧利得が絶対値で 1 となる入力値であり、雑音などによる入力信号の変動に対して同期する出力論理値の増幅限界値を定義している。この定義を式 5 に示す。

$$V(out) = f(Vin + Vnoise) = f(Vin) + \frac{dVout}{dVin} \cdot Vnoise \dots \dots 5$$

(V_{OUT} は V_{IN} の関数 $f(V_{IN})$ として表示されており、右辺の第二項はノイズ ΔV_{noise} による変化をテーラ展開した一次微分項である。そして $|dV_{OUT}/dV_{IN}| = 1$ となる点を V_{IL} 、 V_{IH} の境界として定義する。)

* C, D 点は N_{chTr} 、 P_{chTr} のピンチオフ点であり、これ以降、飽和領域に動作点をもつ。ピンチオフ点の関係式を式 6 に示す。

$$V_{DS}(Vout) = V_{GS}(Vin) - V_T \dots \dots 6$$

($V_{DS} = Vout$ 、 $V_{GS} = Vin$ を意味する)

以上の動作点から B ~ E 点で囲まれた動作領域を中間電位と定義する。

貫通電流を伴わない故障

この故障は Tr のソースやドレイン端子のオープン故障にみられる。電源経路から切断されているため貫通電流は流れない。このような故障に対してフローティングによる論理のチャージ現象を再現する。図 12 は PchTr のドレイン電極が開放故障となる Inverter 回路を示す。VE を用いた論理の決定において、VE は常に論理変化の直前の論理を保持している。そして、次の入力において回路全体が HZ になったと判断した時、保持している論理を出力する。但し、次の入力において 0、1、weak0、weak1 の論理が VE に入力するとこの判定法に従って各々の論理を出力する。

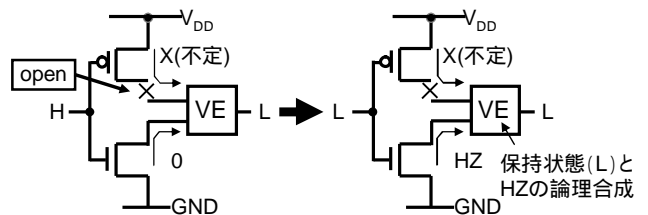


図 12 貫通電流を伴わない故障例