

スイッチング・レベル・シミュレーションを用いたセル内故障診断技術 ---故障動作と診断精度の検証---

Fault diagnosis technology in cell circuit using switching level simulation
Verification result of failure circuit function and diagnosis precision

吉澤 豊, 則松研二, 佐藤康夫, 二階堂正人*, 真田 克**
Y. Yoshizawa, K. Norimatsu, Y. Satoh, M. Nikaido*, M. Sanada**

(株)半導体理工学研究センター 開発第1部,
*NECエレクトロニクス(株) テスト評価技術開発事業部,
** 高知工科大学 工学部 電子・光システム工学科

Semiconductor Technology Academic Research Center (STARC),

*Test Analysis Technology Development Div., NEC Electronics Corp.,

**Dept. of Electronic and Photonic Systems Engineering Kochi University of Technology

要約: L S I故障診断の高精度化を目的として、セル内で発生する回路故障の診断をチップレベル故障解析・診断結果から行う技術を提案する。本技術は診断対象セルのレイアウト構造から故障候補を抽出する故障候補抽出と、セルの故障動作から故障候補を絞り込む故障診断がある。また回路の故障動作解析はセルの回路を構成するトランジスタをアナログスイッチでモデル化してシミュレーションを実施する方法(スイッチレベルシミュレーション:SLS)を用いる。今回、抽出した故障定義による故障シミュレーションをSLSとSPICEで行い、結果の比較を行った。また、実際にセル内の故障が疑われるサンプルの診断試行を行った。これらの結果より、本故障候補診断技術を用いることで、セルの回路内を診断対象とした精度が高い故障診断が可能になることを示した。

Abstract: In this paper, we propose a novel diagnosis method that aims at intra-cell defects, because the changes of the latest semiconductor technology require higher precision in diagnosis. We extract the potential faults from the cell layout data, and simulated them comparing to the faulty behavior of the cell. Therefore, we localize the most probable faults in the cell. The simulation technique used in our diagnosis is based on the switching level simulation (SLS). The experiments of the comparison to a SPICE simulation show the precision of our diagnosis, and the application to an actual defective chip shows effectiveness of our method.

キーワード: スwitching・レベル・シミュレーション、故障診断、論理故障
Keywords: switching level simulation, fault diagnosis, logic fault

1、はじめに

システムL S Iを実現する半導体プロセスは年々微細化し、それに伴いつつL S I上に搭載される回路のトランジスタ数は増加続けている。

また、搭載回路数の増加に伴い回路内の故障発生が起き得る箇所の数も増加しており、フェイログや故障シミュレーション結果を入力とし不良サンプルの故障箇所を推定していく故障診断技術は故障解析のT A T短縮のために解析の現場で必須の技術となっている。

しかし、現状の技術では解析回路の抽象度はゲートレベルが多く、トランジスタレベルの回路まで具体化してゲートを実現するセルの内部回路(以降、セル内回路という)の故障診断を行う技

術は見当たらなかった。そのため解析の現場では既存のゲートレベル故障診断技術の診断結果でセル内回路の故障を示唆する結果が得られた時、解析の抽象度をさらにトランジスタレベルに下げ的手段は無く、セル内回路の故障診断は専らスキルのある解析者に委ねられている。解析者によるセル内回路の故障診断は解析工数も多く、また、解析結果の品質も解析者のスキルによりばらつきがある。

そこでセル内の故障箇所を特定する方式として、セルのレイアウト構造から故障候補を抽出し、スイッチング・レベル・シミュレーションを実施することでその結果が実際の故障と一致する箇所を故障候補として特定する方式を提案した。¹⁾

今回、本方式を利用した故障診断の試行を行った。また、その故障診断精度を評価し、解析者の

故障診断のスキルに拘わらず、短TATで故障診断が可能であることを示した。

2、セル内故障診断の概要

今回提案するセル内故障診断の概要について説明する。

2-1、セル内故障診断のコンセプト

図1に本セル内故障診断のコンセプトを示す。本診断は故障が疑われるセルのレイアウト、トランジスタ回路および故障時の動作パターンを使用する。レイアウトからショート・オープン故障の発生可能性がある箇所(故障候補)を抽出する。抽出された故障候補を、トランジスタレベル回路に埋め込み、故障シミュレーションを行う。そして、故障シミュレーション結果と故障時の動作を比較し、一致する結果が得られた故障候補を絞り込む。

故障シミュレーション結果と比較する故障動作はゲートレベル故障シミュレーションを用いて診断するセルの入出力値を抽出する方法により得る。

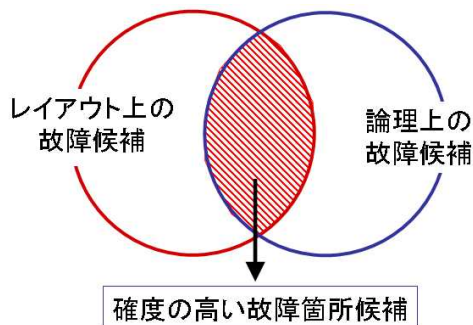


図1、セル内故障診断のコンセプト

2-2、セル内故障診断の流れ

故障診断の流れを以下に説明する。

(1) 故障候補抽出

故障が疑われるセルのレイアウトから、故障発生の可能性がある以下の箇所を抽出する。

- ネットショート故障候補
配線が互いに交差している構造の箇所 (交差配線対)
- ネットショート故障候補
短い配線間距離で隣り合っている配線がある箇所 (隣接配線対)
- ビアオープン故障候補
レイアウト内のビアはオープン故障候補とする。

また、セル内回路を構成する各トランジスタについても電極(ソース、ドレイン、ゲート)に着目し、次の故障候補を抽出する。

- ピンショート故障候補 (電極間のショート)
- ピンオープン故障候補 (電極のオープン)

(2) 故障シミュレーション

(1)で得られた故障候補をセル内回路に埋め込みセル内回路の故障シミュレーションを行う。無故障の回路例を図2-1に、故障候補の埋め込み例を図2-2に示す。

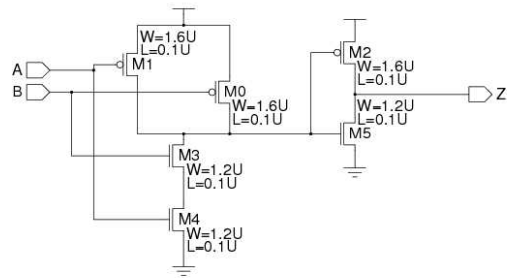


図2-1 無故障回路

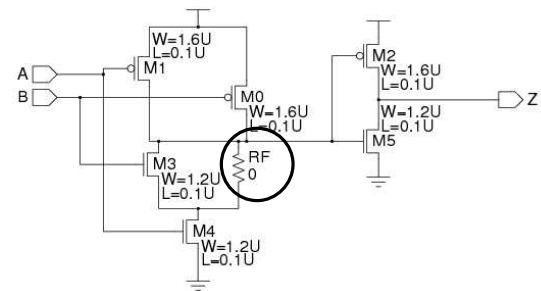


図2-2 ショート故障の埋め込み例 (抵抗0でショート RF: 図中 部)

シミュレーションはスイッチレベルシミュレーター(Switch Level Simulator :SLS)を用いた。セル内回路の入出力値は"1,0,X,Z"を論理値とした。またセル内回路を構成するMOSトランジスタは開閉のみを機能にしたスイッチ素子として扱う。

しかし、ショート故障定義の埋め込みなどによりセル内回路の内部に電源からグランドに至る電流パスが生じるケースがある。このようなケースではスイッチ素子による論理決定はできない。その際、SLSはON状態にあるトランジスタを抵抗素子に置き換え、セル内回路を直並列抵抗回路網に変換し、電流パス内の各ノードの電位を計算し、ゲート入力に伝播するトランジスタの論理閾値電圧と比較することで各ノードの論理値を決定する。

(4) 故障候補の絞り込み

それぞれの故障候補による故障シミュレーション結果を、実際のセルの故障動作と照合し故障動作と一致した故障候補を絞り込む

3、実デバイス診断

本セル内故障診断手法を実際にセル回路内に故障があると疑われる事例に適用した。

3-1、診断の準備（ゲートレベル故障診断結果）

前段階としてゲートレベル故障診断を行ったゲートレベル故障診断はゲートレベル回路の配線やセルの入出力にスタック 1、または 0 故障を定義し診断を行う。図 3 は今回のゲートレベル故障診断の結果、故障が存在すると推測された箇所付近の論理図である。

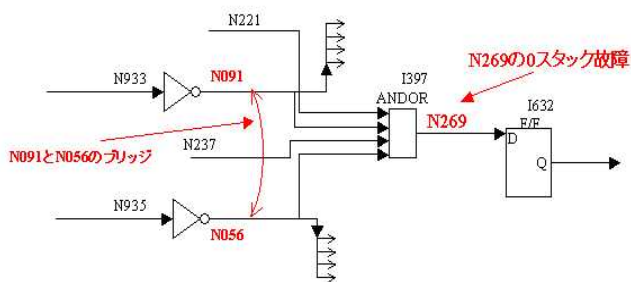


図 3 故障箇所付近の回路図

ゲートレベル故障診断では、デバイスの故障動作（以下、Fail logと呼ぶ）に完全に適合する故障候補を見いだすことはできなかった。しかし、図 4 のANDOR(I397)出力の 0 スタック故障とネットN091とネットN056のブリッジ故障を比較的適合する故障候補として示唆していた。この結果とデバイスの詳細評価結果から、ANDOR(I397)セル内回路の故障が最も疑われ、セル内故障診断を行うことになった。

3-2、セル内回路の故障動作推定

本故障診断はセル回路の故障動作を入力情報とする。そこで、ゲートレベル回路でANDOR出力ネットをスタック 0 故障定義した故障シミュレーション(Fsim)結果と、故障サンプルのFail logを照合しセル回路の故障動作を推定した。すなわち、Fsimにてパターン毎のANDOR入力値を抽出しながら、次のようにANDOR出力値を推定した。

- 「Fsimで故障とされたパターンにて
- ・Fail logでFailならANDOR出力は"0"。(故障値)
- ・Fail logでPassならANDOR出力は"1"。(正常値)」

本方法で推定したANDORセル回路の故障動作パターンを表 1 に示す。また論理記号を図 4 に示す。

表 1 推定したANDORの入出力値

A0	A1	B0	B1	Y
0	0	1	1	0
0	0	1	1	1
1	0	1	1	0
1	0	1	1	1
1	1	0	0	1
1	1	1	0	0
1	1	1	0	1

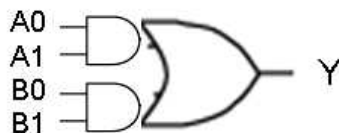


図 4、ANDORの論理記号

表 1 を見るとANDORは組み合わせ回路であるにもかかわらず、同じパターンを入力していながら推定した回路出力が"1", "0"双方の場合がある(表中、太枠で示す)。「1", "0"双方の出現するのは今回の故障がオープン等であり、回路動作が不安定なためであると考え、双方の出力がある入力パターンでは多いほうの出力値(推定出力値)で絞込を行った。表 2 は系列それぞれのパターン数と診断に用いた推定出力値を表 1 に加えたものである。

表 2 多数決により求めた入出力値

A0	A1	B0	B1	Y	パターン数	診断に用いた推定出力値
0	0	1	1	0	16	0
0	0	1	1	0	1	
1	0	1	1	1	18	0
1	0	1	1	1	4	
1	1	0	0	1	100	1
1	1	1	0	1	74	0
1	1	1	0	1	20	

3-3、故障診断結果

以上のように求めた入力系列パターンで故障診断を行った。結果を表 3 に示す。

表3 故障診断結果

A0	A1	B0	B1	出力	出力	出力
0	0	1	1	M	V	M
1	0	1	1	M	V	M
1	1	0	0	M	V	1
1	1	1	0	M	V	M

M:故障により出力がHi-Zになったことを示す。
 V:故障により出力が論理閾値電圧付近となった。

今回の故障診断ではHi-Z“M”と論理式位置電圧付近“V”は不一致と判定しない。そのため～の3通りの故障シミュレーション結果が故障動作の推定出力値とパターンと一致と判定された。しかし、入力系列(1100)にて推定出力値同様に出力が“1”となるのはのみであり、本結果が最も推定出力値と一致した。のシミュレーション結果を得る故障候補はVIA(0025)のオープンであった。よってこれが有力な故障候補と考えることができる。

VIA(0025)の位置を回路とレイアウト上に示す。(図5-1,図5-2)。VIA(0025)はP型トランジスタ(M2,M3)のソースと電源(VDD)間を接続するVIAである。

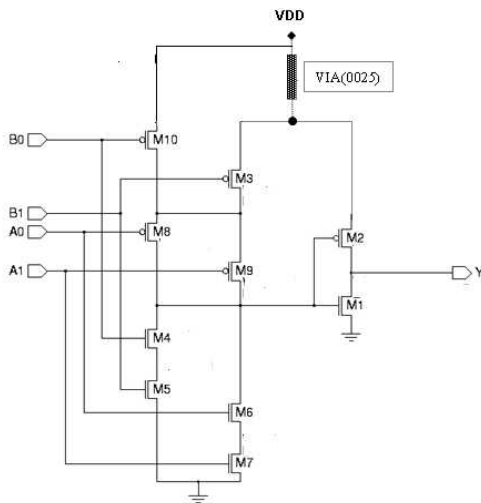


図5-1 VIA(0025)の回路上の位置

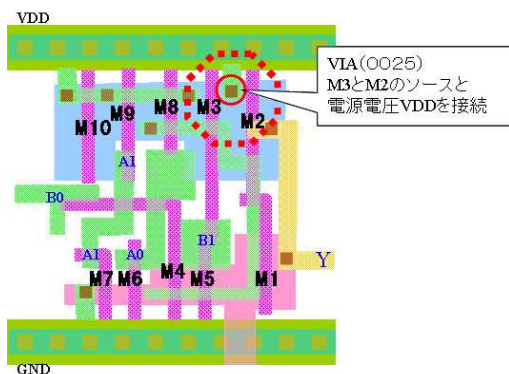


図5-2 VIA(0025)のレイアウト上の位置

3.4, 少数出力に対する考察

3.2節で説明したように、今回は3通りの入力系列で1/0双方値が出力されている。診断は多いほうの出力で行った。ここでは少ないほうの出力が何故出たのかを考察する。

VIA(0025)のオープンを回路上に埋め込みSPICEシミュレーションを行った。オープン故障の埋め込みは完全オープンとして扱うことができる100M抵抗の挿入でモデリングしている。結果を図6-1と図6-2に示す。どちらの図も上4段は各入力端子の入力値、5段目は無故障時の出力、6段目が故障時の出力である。2つの図は入力する系列は同じだがそれぞれの系列を入力する順番が異なっている。

図中の矢印に着目すると、入力系列は同じ(1110)でも故障時の出力が図6-1では“中間電圧”であるが図6-2では“1”であり、両者で異なっている。この入力系列は表1で示したようにセルの故障動作でも“1”,“0”双方の出力がある。これを故障による回路の不安定性と推測し診断を進めたが、診断で絞り込んだVIA(0025)のオープン故障で回路が不安定になることをシミュレーションで再現できた。

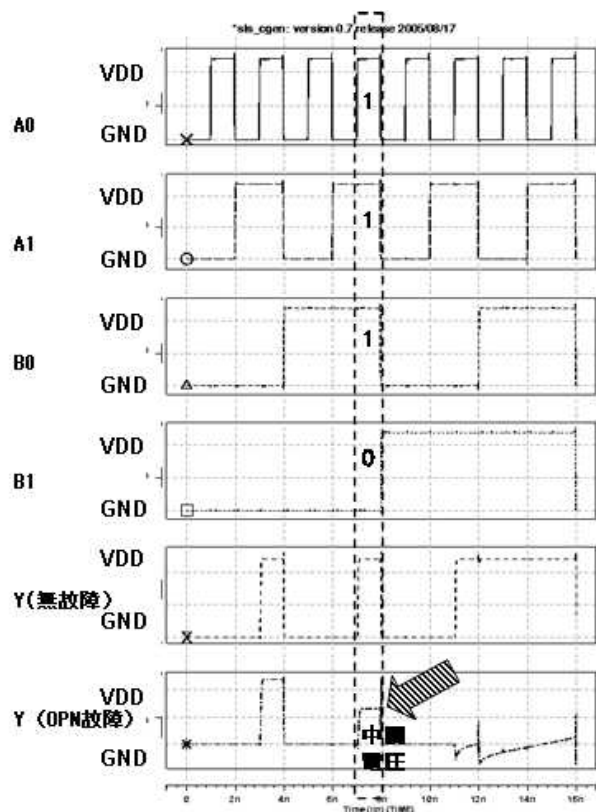


図6-1 VIA(0025)オープン故障のSPICEシミュレーション結果

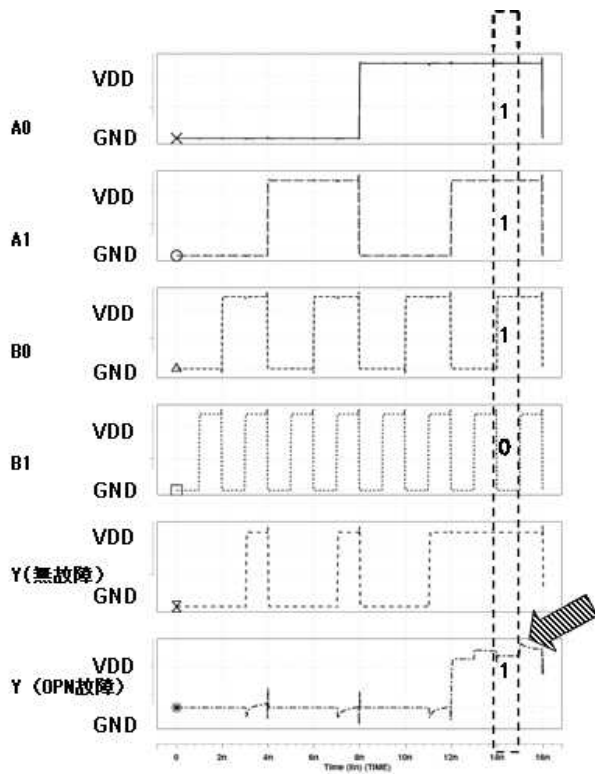


図 6 - 2 VIA(0025)オープン故障の SPICEシミュレーション結果

3-5, 断面観察

故障と診断されたVIA(0025)のオープンを確認するために故障サンプルの断面観察を行った。サンプルの切断は図7のレイアウト内に示す矢印の方向に行った。本故障診断ツールが指摘した通り、故障サンプルにVIAの形成不良が確認された。

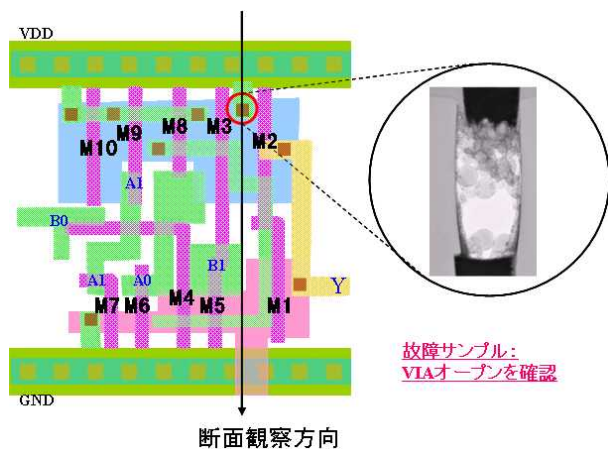


図7 故障サンプルの断面観察結果

4-6, 本ツール適用の効果 (診断T A Tの短縮)

従来は、本ツールのような故障診断ツールがないため、このようなセル回路内の故障診断は、半導体デバイスに通りの知識がある一般技術者でも1週間程度要する。実際はこのような時は解析スキルのある技術者の経験による推定に頼ることが多い。しかし、スキルと経験を駆使してでもこのような事例の解析には半日から一日要する。またこのような経験とスキルのある技術者の確保は難しい。

本ツールはセルの故障動作を入力として簡単な手順でセルの故障診断を実施する、実施にたいし故障解析に対する豊富なスキルは不要である。また診断の実施時間もツール実行時間だけなら今回の事例では約1分で完了する (SUN Blade2000 UltraSPARC -III+ 1.2GHz使用)。

5、まとめ

トランジスタレベルでセル回路内の故障診断を実施するツールを開発し、その診断精度の評価と実サンプルの診断試行を行った。

故障診断に用いる故障シミュレーター(SLS)のシミュレーション動作を、SPICEによるシミュレーション結果と比較し、一部のオープン故障時の動作を除き両者が良好に一致することを確認した。これより、本ツールの故障診断精度はSPICEによる検証とほぼ同レベルであり、高精度な診断が可能である。

セル回路内の故障が疑われる実サンプルの故障診断を本ツールを用いて実施し、セル回路内のVIAオープン故障を診断、実際のサンプルで診断したVIAのオープン故障があることを断面観察により確認した。これは、により本故障診断ツールが高精度に故障診断可能であることを示したが、これを裏付ける事例となる。

本故障診断ツールによるANDOR回路(トランジスタ数は十個)の診断実行時間は約1分であることから、本故障診断ツールの使用によりセル回路内に故障が存在する実デバイスの故障解析T A Tが大幅に短縮可能であることを示した。

結論

以上、L S I故障診断を目的としたセル内故障診断技術を提案し、適用例結果を紹介した。これらことから本故障診断技術により、セル回路内

に故障が存在するデバイスの故障診断T A Tは大幅(1日 1時間)に短縮でき、その診断に特別なスキルが不要となるため、故障解析T A T短縮に大きく寄与できると考える。

参考文献

- 1) 真田、則松 “スイッチング・レベル・シミュレーションを用いた組み合わせ回路内故障箇所の特
定”、LSIテストシンポジウム2004, P235-240, (2004)
- 2) 真田、吉澤、則松 “スイッチング・レベル・シミュレーションを用いたセル内故障診断技術 - リーク故障が論理動作に与える影響 - ”、LSI テストシンポジウム2005 (発表予定)

謝辞

本検討にご協力いただいた(株)アストロンの松尾裕二氏、加藤雅人氏、原田恵美子氏、山本盛一氏、小野寺則一氏、NECエレクトロニクス(株)の小西永二氏、上杉文彦氏、石山敏夫氏、和田慎一氏、重田一樹氏、坂口和宏氏に感謝いたします。

連絡先

連絡先氏名 吉澤 豊
所属機関名 株式会社 半導体理工学研究センター
所属機関所在地
〒222-0033
横浜市港北区新横浜3-17-2
友泉新横浜ビル5F
電話/FAX 045-478-3238/3239
電子メール yoshizawa@starc.or.jp