

# スイッチング・レベル・シミュレーションを用いたセル内故障診断技術

## - リーク故障が論理動作に与える影響 -

### Fault diagnosis technology in cell circuit using switching level simulation - influence of logic operation on leakage fault-

真田 克, 吉澤 豊\*, 則松研二\*

高知工科大学 電子・光システム工学科,

\* (株)半導体理工学研究センター・開発第 1 部

M. Sanada, Y. Yoshizawa, and K. Norimatu

Dept., of Electronic and Photonic Systems Engineering, Kochi University of Technology,

\*Semiconductor Technology Academic Research Center (STARC)

要約: リーク故障に伴い顕在化する論理故障の発生箇所を特定するために、スイッチングレベルシミュレーションを用いた診断ソフトウェア中にゲート電圧に注目したトランジスタ動作点解析のための技術を取り入れている。この技術はリーク故障によりもたらされた中間電位となった信号がトランジスタのゲート電極に印加したとき、トランジスタが飽和領域に動作点を持つようになることを利用した方式である。CMOS 回路の場合この動作は貫通電流回路網を形成する。そして貫通網のインピーダンス分割比から算出される電圧値が論理故障として伝播し出力する。診断方式を検証するために故障を埋め込んだ回路での診断をおこなった。この結果は SPICE 解析とも一致し、この技術の有効性を証明できた。

Abstract: The novel method has been developed to detect accuracy fault elements in transistor level circuit, analyzing the characteristics of circuit operation influenced on leakage fault and being combined with diagnosis software, based on Switching level simulation. This method is based on behavior of CMOS Tr to which applied unstable voltage produced by leakage fault. Unsettled logic brings the Tr's operation point to saturation area with multi-impedance value and forms penetration current nets passing through it. Out put value on the nets is calculated with each element impedance value and miss-logic signal is spread to output terminal. An evaluation of this technology corroborates to be precise method by using the circuit in which embedded arbitrary fault portions.

キーワード: スwitchングレベルシミュレーション、故障診断、論理故障、インピーダンス値、貫通電流回路網  
Keywords: switching level simulation, fault diagnosis, logic fault, impedance value, circuit with penetration current

## 1. はじめに

LSI の大規模化、多層配線構造化は故障箇所の特定を困難にしてきており、故障解析は膨大な工数を費やす傾向になってきている。このためソフトウェアを用いて故障箇所候補を特定し、その候補に対して物理解析を行う診断方式が研究開発されてきている。

従来の診断はセル(基本的論理回路やゲートを総称して呼ぶ)間を接続する配線に対して故障候補を特定する方式が主であり、セル内のエレメントに対する故障診断方式はあまり検討されていなかった。しかしながら、LSI の進展はセルと言えどもトランジスタ(Tr)数が 500 個を超える規模もあり、そのためマニュアル対応が困難になってきており、さらに多層配線構造化は最下層にセルを構成しているため十分な絞込みなしに LSI を加工し直接解析することが困難となってきている。

従来よりセルや小規模回路の Tr レベルに対するアナログ解析技術として SPICE (Simulation Program with Integrated Circuit Emphasis)があった。精度よくシミュレーションを行うことができる。しかしながら準備と診断処理に時間がかかるため、短 TAT を必要とする故障診断技術において実用的ではなかった。

このような背景のもとに Tr レベルの故障箇所候補を特定する診断ソフトウェア(診断 SW)を開発してきた<sup>(1)</sup>。この診断 SW は論理故障の大半がリーク故障を伴うという現象を基本としている。処理手順はレイアウト情報からオープン・ショート故障の発生の可能性のある箇所を特定し、これらの故障を回路上に埋め込み、論理シミュレーションを行うものである。そして出力した結果と実際の論理故障内容と一致する箇所を確度の高い故障候補として抽出する。ここで論理シミュレーションは

スイッチングレベルシミュレーション(SLS)であり、リーク故障に伴い変化する  $T_r$  特性を付加することで診断精度を向上できる。

本文の目的は第一にリーク故障と論理故障の関係を示すことであり、第二にこの技術を組み込んだ診断 SW の有効性を示すことである。まず、第 2 章にて診断方式の概要を述べた後、第 3 章にてリーク故障に伴い変化する電圧が論理故障を引き起こす関係を  $T_r$  特性を用いて述べる。第 4 章にて故障を埋め込んだ回路での検証を行い SPICE 結果との比較を行い、最後にまとめを行う。

## 2. 診断の概要

著者らは、 $T_r$  レベルの回路レイアウト上からのリーク故障候補を特定し、この候補をもとにスイッチングレベルシミュレーション(SLS)を用いて診断を行うことで確度の高い故障候補を特定するソフトウェアを開発してきた<sup>(1)(2)</sup>。以下に診断の概要を述べる。

### < 診断手順 >

診断手順は図 1 に示すように、公知の方式で絞り込まれたセルや回路網に対して、 $T_r$  レベルのレイアウト構造からリーク故障を発生する可能性のある箇所を故障候補として特定する。次に、これらの故障候補を回路に埋め込み SLS 診断を実施する。そして、出力する結果が実際の故障と一致する箇所を故障候補として特定する手順である。

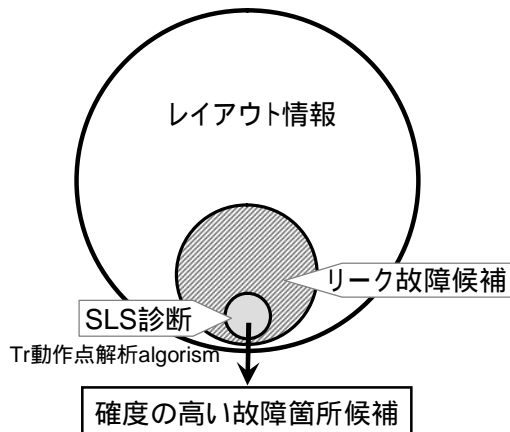


図 1 診断手順

### < レイアウト情報 >

レイアウト情報は LVS(Layout Versus Schematic)を用いて特定したリークの可能性のある情報であり、ショート箇所候補とオープン箇所候補のインスタンス名と位置情報である。

### < SLS 診断 >

SLS は  $T_r$  のゲート(G)端子に印加する論理に同期してソース(S)・ドレイン(D)間が導通または非導通となるスイッチング動作をベースとした論理シミュレーションであり、ゲート電圧に依存した  $T_r$  の動作状態を組み込むことで診断精度を向上させた。 $T_r$  動作はゲート電圧の変化により  $T_r$  を on/off すると同時に任意の電圧範囲では on 状態が持続するという特性を有する。このような論理状態は CMOS 回路において電源間に貫通電流網を形成する。そして出力する論理値は貫通網のインピーダンス計算により算出する。

以上述べた診断方式は従来のセル間診断で扱ったしきい電圧値( $V_{th}$ )に対する 2 値論理としての診断方式と異なるものである。

## 3. リーク故障が論理動作に与える影響

リーク故障が論理動作に与える影響は、この故障に起因して変化するゲート電圧値によるものであり、その結果貫通電流網が形成され、これに伴う貫通網のインピーダンス値から出力される論理値が論理故障として顕在化することを示す。本節にて、まずリーク故障候補について分類し、これらの候補に起因する貫通電流網について述べる。次に、リークに伴い変動した  $T_r$  のゲート電圧値が貫通電流網を形成する様子を Inverter 回路を用いて述べる。

### 3.1 リーク故障候補と貫通電流網

リーク故障は 2 つに分類できる。配線間ショート故障と配線オープン故障である。

#### < ショート故障 >

ショート故障には  $T_r$  を接続する配線間および、 $T_r$  電極間のショート故障がある。これらの故障に伴い貫通電流網が電源間に形成される。これらの貫通網は

ショート配線の前段の回路間

ショート配線の各々が入力する回路

ショート配線を介した前段回路と本段回路間 (フィードバック回路網の形成により発振が起こるケースがある)

ショート故障が入力する回路の出力電圧値が入力する次段回路

に形成され、単独あるいは複合した電流値として検出される。そして、これらの貫通電流網は論理動作に影響を与える。

<オープン故障>

オープン故障には Via および、Tr 電極部のコンタクトオープン故障がある。これらの故障を介して入力する Tr のゲート電極への印加電圧値が貫通電流網を形成する。これらの貫通網は

オープン配線が入力する回路

オープン故障が入力する回路の出力電圧値が入力する次段回路

に形成され、単独あるいは複合した電流値として検出される。そして、ショート故障同様これらの貫通電流網は論理動作に影響を与える。

オープン故障を介した配線が入力する Tr の電極がソース・ドレインの場合、Tr は動作しない。このため、この Tr を介する配線はフローティング状態となり、他系統で印加された論理状態がそのまま保持され、以降の動作を決定する。この動作解析は診断 SW に組み込まれている。

以上リーク故障に伴う貫通電流網について述べたが、次にこの形成機構について述べる。

### 3.2 ゲート電圧と動作点の関係

リーク故障に伴い変化した電圧値が Tr のゲート電極に印加すると Tr の動作点が変わる。正常なゲート電圧値「L/H」における Tr の動作点のインピーダンス値は、NchTr は「 $\infty$  / 非飽和曲線の勾配から算出される Z 値」となり、PchTr のそれは「非飽和曲線の勾配から算出される Z 値 /  $\infty$ 」となる。ここで、正常な論理とはチャンネル形成電圧 ( $V_t$  と記す。この値は約 0.7 ~ 1.0V) が印加される

までの電圧値を意味しており、L 側は GND ~  $V_t$  間、H 側は  $(V_{DD}-V_t) \sim V_{DD}$  間にあたる。しかしながら、ゲート電圧値がこの条件を外れた値 (以降、中間電圧値と記す) となったとき、動作点は  $V_t \sim (V_{DD}-V_t)$  間における負荷動作線の交差点から算出されるインピーダンス値を有する。

<Inverter 回路を用いた Tr 動作点の説明>

次にゲート電圧値の変化による Tr 動作環境が貫通網を形成する様子を Inverter 回路を用いて説明する。図 2 はモデル化した  $V_{in}$  (入力電圧) -  $V_{out}$  (出力電圧) 特性、図 3 は同じくモデル化した  $V_{in}$  (入力電圧) -  $I_{DD}$  (電源電流) 特性である。図 4 は上述した NchTr (実線) と PchTr (点線) の  $V-I$  特性であり、一象限にまとめて記載してある。図 2~4 中に示す a~f 点は  $V_{in}$  に同期して設定される動作点である。なお、動作点の説明において  $V_{DD}$  値を 5V、 $V_t$  値を 1V とした。

**a 点** は  $V_{in}$  が 1V 近辺であり、NchTr が on し始める動作点である。この時の各 Tr の  $V-I$  特性は NchTr が  $V_{gs}=1V$ 、 $V_{ds}=4V$  で  $V_{out}$  である 5V に近い飽和領域に動作点を、PchTr が  $V_{gs}=4V$ 、 $V_{ds}=1V$  で非飽和領域に動作点を有する。 $I_{DD}$  値は NchTr が on し始めた動作点のため、インピーダンス値は大変大きな値となりほとんど流れない。

**b 点** は  $V_{in}$  が 2V 近辺にある。この時の各 Tr の  $V-I$  特性は NchTr が  $V_{gs}=2V$ 、 $V_{ds}=4.2V$  で飽和領域に動作点を、PchTr が  $V_{gs}=3V$ 、 $V_{ds}=0.8V$  で非飽和領域に動作点を有する。 $I_{DD}$  値は各 Tr の動作点から換算させるインピーダンス値の総計から算出される。b 点においては NchTr のインピーダンス値が支配的である。

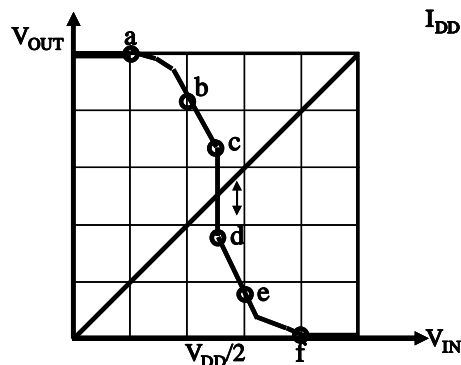


図 2  $V_{in}$ - $V_{out}$ 特性

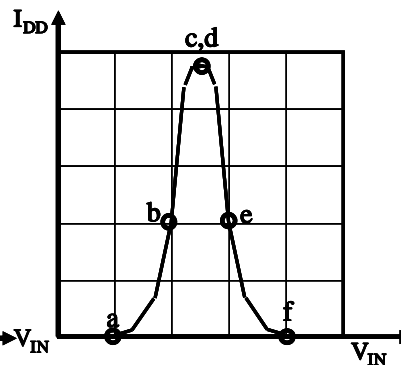


図 3  $V_{in}$ - $I_{DD}$ 特性

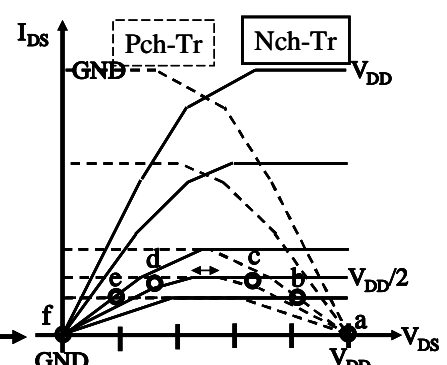


図 4  $V_{DS}$ - $I_{DS}$ 特性

c点~d点 は  $V_{in}$  がしきい電圧値( $V_{th}$ )である 2.5V 近辺にある。NchTr、PchTr 共に完全に on 状態となる動作点である。この時の各 Tr の V-I 特性は NchTr は  $V_{gs}=2.5V, V_{ds}=1.8 \sim 3.2V$  で飽和領域に動作点 PchTr は  $V_{gs}=2.5V, V_{ds}=3.2 \sim 1.8V$  で飽和領域に動作点を有する。I<sub>DD</sub> 値は各 Tr の動作点から換算させるインピーダンス値の総計から算出され、最大電流値となる。

e点 は  $V_{in}$  が 3V 近辺にある。この時の各 Tr の V-I 特性は NchTr が  $V_{gs}=3V, V_{ds}=0.8V$  で非飽和領域に動作点を、PchTr は  $V_{gs}=2V, V_{ds}=4.2V$  で飽和領域に動作点を有する。I<sub>DD</sub> 値は各 Tr の動作点から換算させるインピーダンス値の総計から算出される。e 点においては PchTr のインピーダンス値が支配的である。

f点 は  $V_{in}$  が 4V 近辺であり、PchTr が on し始める動作点である。この時の各 Tr の V-I 特性は NchTr が  $V_{gs}=4V, V_{ds}=0V$  で非飽和領域に動作点 PchTr は  $V_{gs}=1V, V_{ds}=4V$  で 0V に近い飽和領域に動作点を有する。I<sub>DD</sub> 値は PchTr が on し始めた動作点のため、インピーダンス値は大変大きな値となりほとんど流れない。

以上明らかなように、ゲート電圧が中間電圧値のとき Inverter 回路には大きな貫通電流が流れ、さらに各電圧値における Tr の動作点は飽和領域に位置する。そして、このインピーダンス値は正常値(Z)に比べて数倍以上の値になる。図 5 は 0.35  $\mu m$  ルール品を用いた SPICE シミュレーションより算出した  $V_{in}$ - $V_{out}$  特性および、 $V_{in}$ -I<sub>DD</sub> 特性であり、上述した特性を示している。

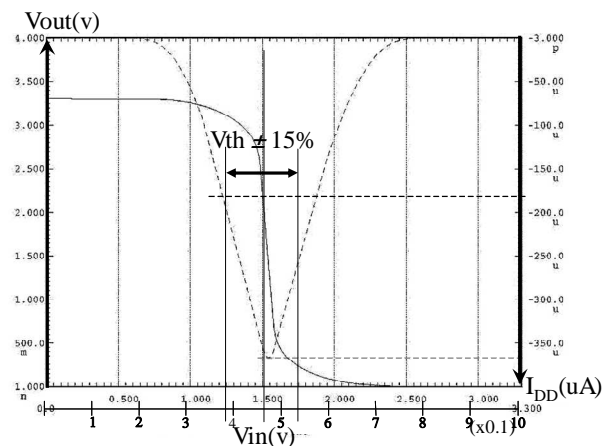


図 5 SPICE シミュレーションによる  $V_{in}$ - $V_{out}$  特性

#### 4. 故障を埋め込んだ回路の動作状態

診断方式を検証するために故障を埋め込んだ小規模回路にて SLS を実行し、SPICE との比較を行った。埋め込んだ故障は配線間ショートとゲート・オープン故障である。

##### 4.1 ショート故障

診断対象は 1 個のインバータと 1 個の 2 入力 NAND からなり、インバータの出力が 2 入力 NAND の Tr\_P2 と Tr\_N2 のゲート電極に接続した、2 入力 1 出力端子を構成する回路である。埋め込んだショート故障は Tr\_P2 のゲート・ドレイン配線間である(図 6、図 7 を参照)。

<入力端子 In1 に”0”、In2 に”1”が印加した時>

\* 正常状態

NAND 回路の Tr\_P2 と Tr\_N2 のゲート電位は”1”より Tr\_N2 が on 状態、In2 は”1”より Tr\_N3 が on 状態となり、OUT に”0”が出力する。

\* ショート故障状態(図 6) :

Tr\_P2 と Tr\_N2 のゲート電位は”1”から中間電位に低下する。そのため、Tr\_P2 は off から中間論理である on 状態へ、Tr\_N2 は on から中間論理である on 状態に変化する。そのため Tr\_P1 と Tr\_N3 は非飽和領域に、Tr\_P2 と Tr\_N2 は飽和領域に動作点を持つ状態になる。その結果、Tr\_P2 と Tr\_N2 のインピーダンス値は非飽和時の n 倍(この値はプロセス、デザインルールで決定される)に増大し、PchTr 側は Z と nZ の並列、NchTr 側は nZ と Z の直列接続したインピーダンス値となる。そのため、出力論理値  $V_{out}$  は

$$V_{out} = [(nZ+Z) / \{(1/n+1/nZ)^{-1}+(nZ+Z)\}] \cdot V_{DD}$$

$$\{(n+1) / (n+2)\} \cdot V_{DD} > V_{th}$$

$$(n=4 \text{ のとき, } V_{out} = 0.83 \cdot V_{DD})$$

となる。

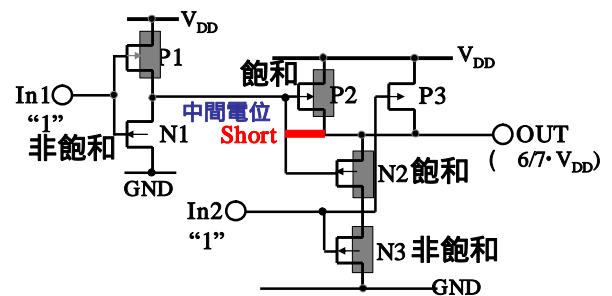


図 6 オープン故障時の動作状態

< 入力端子 In1 に”1”、In2 に”1”が印加した時 >

\* 正常状態:

NAND 回路における Tr\_P2 と Tr\_N2 のゲート電位が”0”より、Tr\_P2 は on 状態、In2 が”1”より Tr\_N3 は on 状態となり、OUT に”1”が出力する。

\* ショート故障状態 (図 7):

Tr\_P2 と Tr\_N2 のゲート電位は”1”から中間電位に低下する。そのため、Tr\_P2 は on から中間論理である on 状態へ、Tr\_N2 は off から中間論理である on 状態に変化する。そして Tr\_P1 と Tr\_N3 は非飽和領域に、Tr\_P2 と Tr\_N2 は飽和領域に動作点を持つ状態になる。その結果、Tr\_P2 と Tr\_N2 のインピーダンス値は「nZ」となる。そのため、出力論理値 Vout は

$$V_{out} = \left[ \frac{1}{(Z+nZ)+1/Z} \right]^{-1} / \left[ \frac{1}{(Z+nZ)+1/Z} + nZ \right] \cdot V_{DD}$$

$$\left\{ \frac{1}{(n+1)} \right\} \cdot V_{DD} < V_{th}$$

(n=4 のとき、 $V_{out} = 0.20 \cdot V_{DD}$ )

となる。

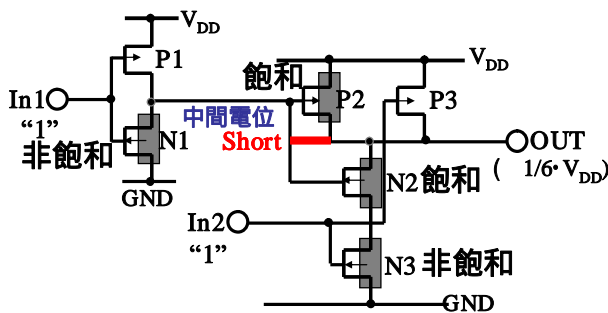


図 7 オープン故障時の動作状態

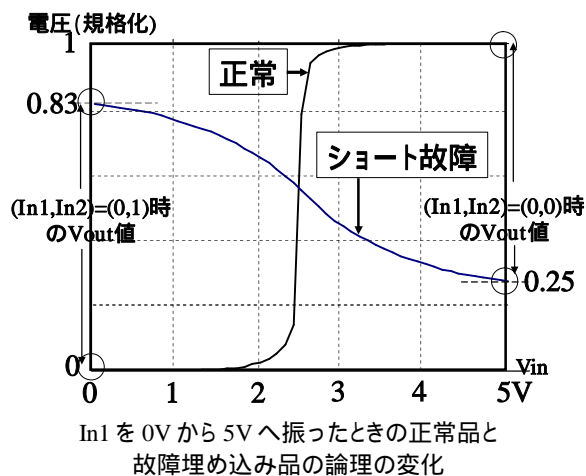


図 8 (In1, In2)=(0,1)時の SPICE シミュレーション結果

以上、(In1, In2)=(0,1)の時、”1”が出力し、(In1,

In2)=(1,1)の時、”0”が出力することが診断され、正常状態と異なることが判明した。この結果は図 8 に示すように SPICE シミュレーションによる出力電圧値とも一致した。

#### 4.2 ゲート・オープン故障

診断対象は 2 入力 NAND であり、2 入力 1 出力端子を構成している回路である。埋め込んだオープン故障は Tr\_P1 と Tr\_N1 のゲート配線の Via である。

< 入力端子 In2 に”1”が印加した時 >

\* 正常状態

入力端子 In1 に”1”が印加したとき、OUT に”0”が出力する。入力端子 In1 に”0”が印加したとき、OUT に”1”が出力する。

\* オープン故障状態 (図 9):

Tr\_P1 と Tr\_N1 のゲート電位は中間電位近傍に設定される。その結果、In1 の論理に無条件に Tr\_P1 と Tr\_N1 は飽和領域に動作点を持ち、従ってインピーダンス値は非飽和時の n 倍に増大する。Tr\_N2 は on 状態のため非飽和領域に動作点を持つ。従って、PchTr 側は nZ、NchTr 側は nZ と Z の直列接続したインピーダンス値となる。その結果、出力論理値 Vout は

$$V_{out} = \left[ \frac{(nZ+Z)}{(nZ+Z)+nZ} \right] \cdot V_{DD}$$

$$\left\{ \frac{(n+1)}{(2n+1)} \right\} \cdot V_{DD} > V_{th}$$

(n=4 のとき、 $V_{out} = 0.56 \cdot V_{DD}$ )

となる。

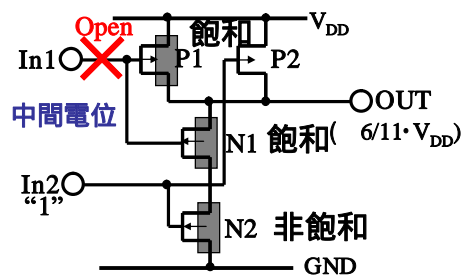


図 9 オープン故障時の動作状態

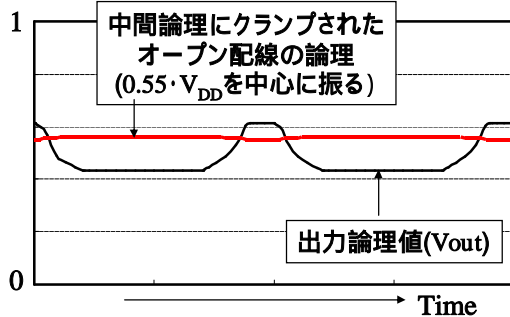
< 入力端子 In2 に”0”が印加した時 >

\* 正常状態、オープン故障状態ともに、Tr\_N2 は off 状態のため、”H”が出力する。

以上、2 入力 NAND 回路での Tr\_P1 と Tr\_N1 のゲート配線の Via にオープン故障は(In1, In2)=(x,1)の時 Vth に近い中間論理が出力し、(In1,

In2)=(x,0)の時”1”が出力することが診断された。この結果は図 10 に示すように SPICE シミュレーションによる出力電圧値とも一致した。

### 電圧値(規格化)



中間電位を  $0.55V \pm 10\%$  振ったときの出力論理値の変化 (出力論理値は  $0.45 \sim 0.6 \cdot V_{DD}$  の間に入っている)

図 10 SPICE シミュレーション結果

## 5. まとめ

リーク故障に伴い変化する Tr 動作点の動作解析から故障箇所を特定する方式を開発し、SLS を用いた故障診断 SW に組み込むことで診断精度を向上させた。

この診断方式は

リーク故障により中間電位となった信号が Tr のゲート電極に印加したとき、Tr は飽和領域に動作点を持つ。

その Tr を組み込んだ回路は貫通電流回路網を形成する。

貫通網のインピーダンス分割比から算出される電圧値を有する信号が次段回路へ伝搬していく。

という現象をベースとしている。

この方式を評価するために故障を埋め込んだ回路を用いて診断を行った。故障はショートとオープン故障である。同時に SPICE を用いたアナログ解析を行い、出力結果を比較した。

この結果、Tr 毎の論理状態および出力結果の一致が判明し、考え方の正当性を確認できた。さらに検証を通して以下のことが判明した。

フィードバック回路網における発振現象をイベントとして取り出すことができる。

複数セルの集合体に対しても診断は可能である。(但し、Tr 数の増加とともに、診断速度を向上させるべく工夫が必要となる)

順序回路への適用は可能であり、現在開発中である。

以上、確認できた内容を述べたが、誤判定に対する検討やさらなる精度向上のための問題点があり、改善の余地が残っている。

なお、この診断技術を用いた実際の故障診断事例は本シンポジウムにて報告される<sup>(3)</sup>。

## 6. 最後に

本研究は(株)半導体理工学研究センターと高知工科大学との共同研究で行われたものである。

## 参考文献

- [1] 真田、則松、“スイッチング・レベル・シミュレーションを用いた組み合わせ回路内故障箇所の特定”、LSI テスティングシンポジウム 2004, p235-240, (2004)
- [2] 特許願 2005-136528 号 (2005/05/09)
- [3] 吉澤、則松、佐藤、二階堂、真田、“スイッチング・レベル・シミュレーションを用いたセル内故障診断技術 - 故障動作と診断精度の検証 - ”、LSI テスティングシンポジウム 2005

## 連絡先

連絡先氏名 真田 克  
所属機関 高知工科大学 電子・光システム工学科  
所在地 〒782-8502  
高知県香美郡土佐山田町宮の口 185  
電話/FAX 0887-57-2118/0887-557-2120  
E-mail sanada.masaru@kochi-tech.ac.jp