

トランジスタ動作点解析による故障論理の追跡 ---フィードバック故障による発振現象の取得---

Fault Path Tracing Based on Transistor Operating Point Analysis - Detection of Oscillation Phenomenon by Feedback Fault -

真田 克、中村 朋矢、橋田 啓示

M. Sanada, T. Nakamura, K. Hashida

高知工科大学 工学研究科 基盤工学専攻

電子・光システム工学コース

Dept., of Electronic and Photonic Systems Eng., Graduate School of Engineering,
kochi University of Technology

要約: フィードバック故障に伴う発振現象の取得のために、「セル内診断」のコンセプトを高度化したトランジスタの動作点解析による新しい診断方式を開発した。この方式は電圧値レベルの故障追跡と、ゲート毎に任意の遅延時間の設定を用いて実施される。前者は故障回路に起因する T_r のインピーダンス値を算出し、 T_r 網をインピーダンス網に置き換え、各ノードの電圧値を算出することで、論理の故障伝搬を順番に追跡する方式である。後者は各ゲート回路に任意の遅延時間を持たせる方式である。このために、仮想の素子をゲート回路単位の出力端子に設けている。この診断方式は従来方式では困難であった、フィードバック故障に起因する発振現象を再現することが可能となった。

Abstract: For examination of oscillation phenomenon brought by feedback fault, a novel diagnosis method has been developed based on transistor operating point analysis, advancement in the past presented method. The method is worked by fault logic propagation trace way based on voltage value and delay time setting way of each gate circuit. The former is the way to calculate the impedance value of transistor result from fault circuit, replace T_r -net with impedance-net, detect the voltage value of each circuit node, and then sequentially trace the fault logic propagation. The latter is the way to set an arbitrary delay time at each gate circuit. The virtual elements is therefore prepared at output of gate circuit unit. The proposed method makes it possible to detect the oscillation phenomenon brought by feedback fault, the phenomenon which is difficult in past logic based diagnosis technology.

キーワード: CMOS、インピーダンス、トランジスタ動作点、故障伝搬、発振現象

Keywords: CMOS, Impedance value, T_r operating point, Fault propagation, oscillation phenomenon

1. まえがき

LSI の大規模化、多層配線構造化は故障箇所の特定を困難にしてきており、故障解析は膨大な工数を費やす傾向になってきている。物理解析を行うために予めソフトウェアを用いて故障箇所候補を特定し、その候補に対して診断方式が研究開発されてきている[1]。従来、故障診断はセル(基本的な論理動作を有する回路単位)間を接続する配線に対して Stuck_at Fault 故障の論理診断を行っていた。しかしながら回路構成はセルといえどもトランジスタ(T_r)数が増大し、さらに多層配線構造化は最も厳しい設計ルールで最下層に構成されるため、セル内部に注目した T_r レベルの診断が必要になってきている。また、出力異常として発覚する故障モードは故障箇所から故障論理が伝搬していく過程において、多様な動作を繰り返し、Stuck_at Fault では説明できないケースが検出されている。そのため電圧に注目した故障

伝搬の必要性が高まっている。

このような背景のもとに素子レベルによる故障診断技術を高度化した故障診断方式を用いてフィードバック故障に伴う発振現象の取得を可能にしたので報告する。第 2 章にて診断のコンセプトを簡単にまとめたのち、次章にて論理の判定・遅延時間導入・論理の保持を目的とした仮想素子の導入による診断精度の向上策について述べる。第 4 章にてフィードバック故障による発振現象の診断例を示し、最後にまとめを行なう。

2. 診断方式[2]

本診断は T_r レベルの回路レイアウト上からのリーク故障候補を特定し、この候補をもとに CMOS 論理回路の出力論理値の特定として一般的なスイッチングレベルシミュレーション SLS(Switching Level Simulation)* 結果に、 T_r の動作状態の解析から算出するインピーダンス値を組み込むことで各ノードの電圧値を算出する方式である。図 1 は診断手順を示す簡易フロー図である。

*SLS(Switching Level Simulation) : Tr のゲート端子に印加する論理に同期してソース・ドレイン間が完全導通または完全非導通となるスイッチング動作 (on / off 動作) をベースとした簡易な論理シミュレーションである。これまでに、stuck-at fault の故障診断方式が開発されている [3]。

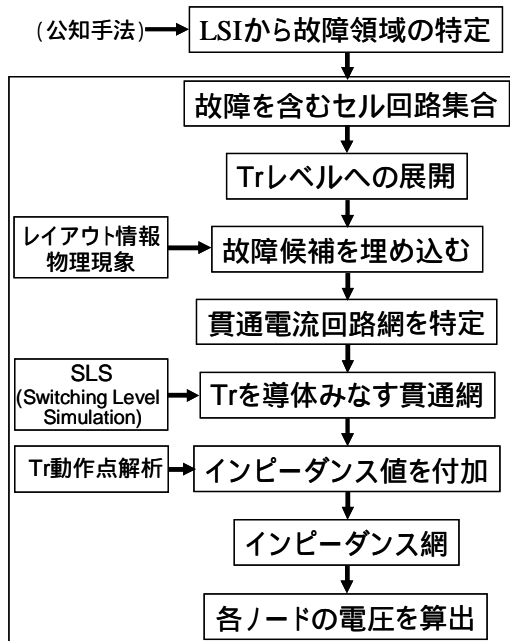


図 1 診断の簡易フロー図

診断は公知の方式 [1] で絞り込まれたセルや回路網を Tr レベルの回路構成に展開する。そして、故障候補を回路に埋め込む。次に、この故障に起因して形成する貫通電流回路網を特定する。その後、この回路網に「on 状態」の Tr を導体とみなす、SLS を導入することで導体による貫通網に置き換える。そして、この導体網の各 Tr に Tr の動作点から算出したインピーダンス値を付加することでインピーダンス網に置き換える。最後に、このインピーダンス網を用いて各ノードの電圧値を算出する。

以降、出力電圧値が中間電位するとき、次段回路はこのゲート電圧による貫通電流網を形成する。そして、論理の伝搬による出力端子へ出力する論理を特定できる。

2.1 故障候補

回路に組み込む故障候補について述べる。故障候補はレイアウト構造と物理解析による観察像からの取得データである。前者のレイアウト構造は設計 CAD データとして保存している DEF、LEF 及び、SPICE データである [4]。DEF はネット

の配置座標データであり、ショート故障の確率が高い隣接配線や交差配線箇所を決定する。LEF は配線幅と間隔を規定する物理情報である。この情報は配線に広がり幅を持たすことで形成される重なり面積の大小からショート発生の重み付けを行なうために使用する (図 2)。

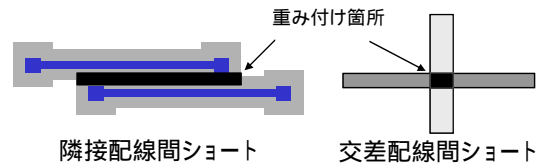


図 2 ショート故障とその重み付け

SPICE (後述する図 6 を参照) は Tr 電極に接続するネットおよび、Tr 形状である L (ゲート長) / W (ゲート幅) を記載したリストである。前者は配線の始点と終点に位置する Tr の特定や、オープン故障として頻度の高い Via を介した Tr の特定に用いられる (図 3)。後者は 2.3.2 節で説明するインピーダンス値の決定に用いられる。

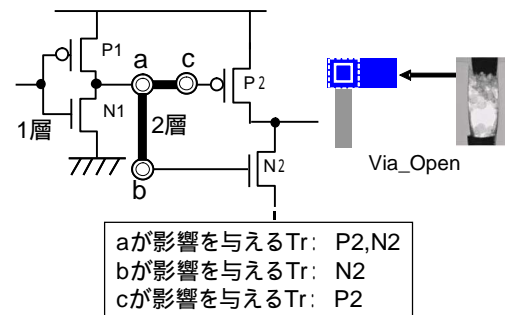


図 3 Via オープン故障と影響する Tr の特定

さらに、レイアウト形状の特異な箇所座標を指定することで候補を指定する。

後者の観察像は故障に伴う物理現象の発生箇所の位置データである。物理現象は異常発熱や異常発光があり、エミッション顕微鏡や液晶塗布法、さらには赤外線顕微鏡を用いることで取得できる。

2.2 貫通電流回路網

貫通電流回路網はショート故障及び、オープン故障に起因して形成する。ショート故障は論理の異なった 2 本の配線間に設定される電圧がオープン故障は中間電位となったフローティング配線の終端が Tr のゲート電極に入力するとき、Tr は on 状態となり貫通電流網を形成する。そして、貫通電流回路網は正常時に on 状態となる Tr と故障起因により中間電位となる配線に接続される Tr とからなる回路網であり、貫通路として識別する。

2.3 Trの動作点[5][6][7]

Trはゲート電圧に依存したインピーダンス値を持つ。まず、中間電位の定義をした後、インピーダンス値の決定について示す。

2.3.1 中間電位の定義

図4はNchTr, PchTrの $V_{DS} - I_{DS}$ 特性、これらのTrを用いて構成するInverter回路の $V_{IN} - V_{OUT}$ 特性及び、 $I_{DS} - V_{DS}$ 特性を示す。

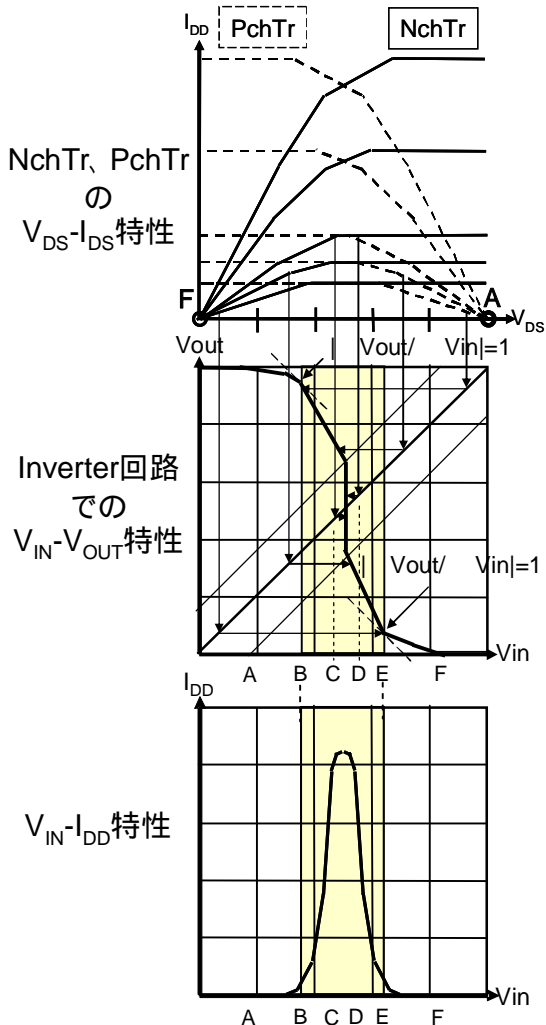


図4 中間電位を定義するためのTr及び、Inverter回路の電気特性

図4中のA,F点はNchTr, PchTrのチャンネル部に反転層が形成されるしきい電圧 V_{Tn} , V_{Tp} である。A点~F点間はNchTr, PchTrともに反転層が形成されるため、 V_{DD} からGND間にこれらのインピーダンス値に応じた貫通電流(I_{DD})が流れ始める。B,E点は V_{OUT} を V_{IN} の関数 $F(V_{in})$ として表示したときの電圧利得(dV_{OUT}/dV_{IN})が1となる点である。これは雑音などによる入力信号の変動に対する出力論理値の増幅限界値である。従ってB

点を $V_{IL(max)}$ 、E点を $V_{IH(min)}$ とおくことで、B~E点で囲まれた動作領域を中間電位として扱う。C,D点はNchTr/PchTrのピンチオフ点であり、これ以降、左/右側の飽和領域に動作点をもつ。

以上、B~E点で囲まれた動作領域を中間電位として扱う。

2.3.2 インピーダンス値の決定

インピーダンス値はTrの動作点に対する値とTr形状としての L (ゲート長)/ W (ゲート幅)値から決定される。診断は基準Trのインピーダンス値を1とした時の比率を用いる。

<動作点からのインピーダンス値の決定>

図5はInverter回路の $V_{IN} - V_{OUT}$ 特性であり、2.3.1項よりB点~E点を中間電位として扱う。インピーダンス値は図4に示すPchTrとNchTrの動作点から算出する。図中、 V_{IN} はTrのゲート-ソース間電圧(V_{GS})に、 V_{OUT} はTrのドレイン-ソース間電圧(V_{DS})に対応する。そのためTrの動作点は V_{IN} に同期した V_{OUT} 値から決定される V_{DS} と貫通電流 I_{DD} とのクロス点となる。そして、(V_{DS}/I_{DD})値をインピーダンス値として算出する。

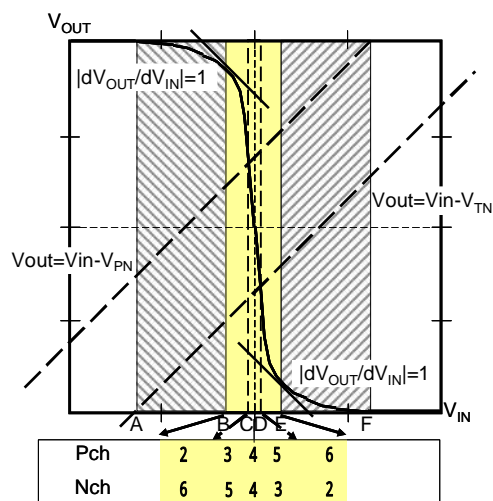


図5 Inverter回路の $V_{IN} - V_{OUT}$ 特性

図5の下部に示す表はPch/NchTrのゲート電極に印加する正常な入力電圧値“ $V_{IL(Max)}$ 以下、 V_{IH} 値(Min)以上のインピーダンス値を1”とした時の、中間電圧値によるインピーダンス値との比率である。中間電位の各位置においてこれらの比率が大きく変化している。

<Tr形状からのインピーダンス値の決定>

多様なTr形状に対するインピーダンス値は図6に示すSPICE上に記載された L (ゲート長)/ W

(ゲート幅) 値を用いて決定される。診断は基準となる Tr (一般的に 1 対の Nch と PchTr で構成された Inverter 回路) の L/W 値を特定する。そして、異なる形状をもつ Tr の L/W 値と比較することでインピーダンス値の比率を算出する

図中、Inverter 回路を構成する N5、P5 の L/W 値が基準(1)となる。従って、例えば N1 のインピーダンス値は $(1/0.45) / (1/1.2) = 2.7$ 倍として算出される。

Tr名	S	G	D	Tr寸法			
MN1	A000001	P01	R01	GND	NENHHP	L=0.10U	W=0.45U
MN2	GND	R02	A000001	GND	NENHHP	L=0.10U	W=0.45U
MP1	A000002	P02	R01	YDD	PENHHP	L=0.10U	W=0.72U
MP2	YDD	R02	A000002	YDD	PENHHP	L=0.10U	W=0.72U
MN3	A000003	P02	Q02	GND	NENHHP	L=0.10U	W=0.45U
MN4	GND	Q01	A000003	GND	NENHHP	L=0.10U	W=0.45U
MP3	A000004	P01	Q02	YDD	PENHHP	L=0.10U	W=0.72U
MP4	YDD	Q01	A000004	YDD	PENHHP	L=0.10U	W=0.72U
MN5	GND	Q01	A000007	GND	NENHHP	L=0.10U	W=1.20U
MP5	YDD	Q01	A000007	YDD	PENHHP	L=0.10U	W=1.92U

図 6 SPICE データ

3. 仮想素子(VE)の導入[8]

貫通電流回路網を形成する PchTr 集合体と NchTr 集合体の論理が合流する箇所に仮想素子 (virtual elements : VE) を設ける (図 7)。この設定の理由は貫通電流回路網を含むゲート回路をイベント単位とするためである。そして次段回路と独立した論理解析を可能にする。この設定は 3 つの効果をもたらす。1 つはイベント単位の各 Tr 集合体からの論理の合流による出力論理の判定、2 つ目は任意の遅延時間の設定、3 つ目は論理が変化する間の論理の保持である。

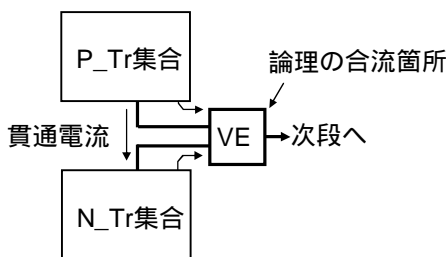


図 7 貫通電流回路網に設定された仮想素子

3.1 出力論理の判定

貫通回路網の出力論理の判定は PchTr 集合体と NchTr 集合体からの論理の組合せにより決定される。これらの合流点に仮想の端子(VE)を設けることで、VE を起点とする簡易な論理判定が可能となる。

表 1 は論理の組合せに対する出力論理の判定表である。表中 Weak0、Weak1 は中間電位の範

囲に位置する電圧であり、各々しきい値 ($V_{DD} / 2$) より低い電圧と高い電圧を示す論理値である。HZ はハイ・インピーダンス値、そして、Z_C はインピーダンス網を用いたノード計算による論理判定である。

例えば一方側が 0、他方側が 1 を有する論理が VE に入力したとき貫通電流網が形成される。そのため出力論理はこの貫通網の Z_C 処理により決定される。

表 1 論理を組合せによる出力論理の判定表

	0	1	Weak0	Weak1	HZ
0	0				
1	Z_C	1			
Weak0	0	Z_C	Weak0		
Weak1	Z_C	1	Z_C	Weak1	
HZ	0	Z_C	0	1	HZ

Weak0 / 1: 中間電位の範囲に位置する電圧 (Z_C:インピーダンス計算)

3.2 遅延時間の設定

イベント単位に対して、任意の遅延時間を設定する。図 8 はイベント毎に信号が伝搬されていく様子を示す簡易図である。イベント 1 から出力した論理はイベント 4 にて 3 単位の遅延時間後に出力する様子を示す。この設定を適用することで、時間差を有するフィードバックを伴う故障回路の発振現象を取得できる。この検証の具体例を 4 章に示す。

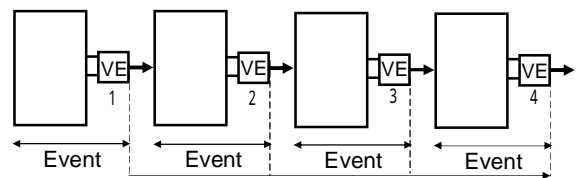


図 8 イベント単位の論理の伝搬と遅延

4. 検証

ショート故障によるフィードバック回路網での発振現象を検証した。

発振現象の検証に対して、図 9 に示すように Inverter 回路を 4 段接続した回路を用いた。回路中 4 段目は 2 個に並列構成であり 1 段目の出力と 4 段目の出力間を短絡した故障構成となっている。各ゲート間の接続配線のノード名は入力部から順に W2、W1、W0 とした。入力に L を印加したときの診断の実行ファイルを図 10 に示す。

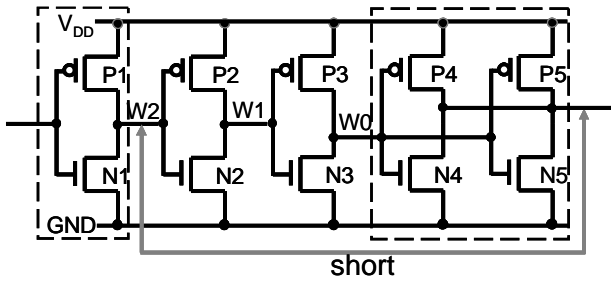


図 9 発振現象の検証

```

=====
=== Failure Diagnostic System ===
=== Switch Level Simulator ===
=====
[ Normal Simulation ]
          省略
>>> Circuit Data
  [Pin Type]  Vdd : VDD
              Gnd : VSS
              In  : IN
              Out  : OUT
  [Voltage] Vdd : 3.000000  Vth : 1.500000
            R = Vth => 1
  [Regist] PCH : 1.000000  NCH : 0.625000
  [Weak Ratio] 5.000000
  [Weak Range] 15.000000
  [ThRange]    0.000000
  [External Pin Impedance]
              0.069000
>>> Simulation start...
  SignalPattern : 2
  Times of Simulation : 1
  
```

図 10 実効ファイル

実効条件として図 10 に示すように Vth は 1/2・VDD とし、抵抗は PchTr の L/W 値を 1 としたとき、同一 on 抵抗を示す NchTr の L/W 値を 0.625 とし、また Weak 幅は VDD の 15% とした。

図 11 はその診断結果である。図 11 中、Time はイベント番号(ゲート単位の伝搬時間)、pin は電源 / ゲート間接続配線 / Tr のドレイン部を示し、Value は設定条件にしたがった論理値(1, 0, Z, H, L)を示している。この内、H, L はイニシャライズ途中における一時的な論理表示である。本事例では Time(イベント)0~4 にてイニシャライズが行われ、これ以降、フィードバックによる発振の変化が再現されている。

ここで、シミュレーションにおける表示は一度記載された論理に変化がないときは出力表に記載されない。そのため入力論理“L”が一定の時、イベント 5 における表示は MP4, MP5, MN4, MN5

のみとなり MP1“1”, MN1“Z”(部)は出力されない。診断においてイベント 5 は MP1 は“1”、MN4, MN5 は“0”、MP4, MP5, MN1 は“Z”の設定にて Z-C 処理が行なわれる。同様に、イベント 11 において、MP4, MP5, MP1 は“1”が MN4, MN5, MN1 が“Z”となる Z-C 処理が行なわれる。

time	pin	value
0	VDD	1
0	VSS	0
0	IN	0
1	MP1	1
1	MP5	H
1	MP4	H
1	MP3	H
1	MP2	H
1	MN1	Z
1	MN5	L
1	MN4	L
1	MN3	L
1	MN2	L
2	W2	1
2	W0	0
2	W1	0
3	MP2	Z
3	MN2	0
3	MP4	1
3	MP5	1
3	MN4	Z
3	MN5	Z
3	MP3	1
3	MN3	Z
4	W0	1
5	MP4	Z
5	MP5	Z
5	MN4	0
5	MN5	0
5	MP1	1
5	MN1	Z
6	W2	0
7	MP2	1
7	MN2	Z
8	W1	1
9	MP3	Z
9	MN3	0
10	W0	0
11	MP4	1
11	MP5	1
11	MN4	Z
11	MN5	Z
11	MP1	1
11	MN1	Z
12	W2	1
13	MP2	Z
13	MN2	0
14	W1	0
15	MP3	1
15	MN3	Z
16	W0	1
17	MP4	Z
17	MP5	Z
17	MN4	0
17	MN5	0
17	MP1	1
17	MN1	Z
18	W2	0
19	MP2	1
19	MN2	Z

図 11 診断結果

上述したイベント 5 における処理内容を図 12 を用いて説明する。4 段目は L を出力する。FB により 1 段目と 4 段目の出力端子間が短絡している。VE を介した出力論理は図 12 の上段に示す通りであり、PchTr 側からは Tr(P1)による論理“1”が、NchTr 側からは並列 Tr(N4,N5)による論理“0”が印加している。そのため VDD MP1 MN4 / MN5 GND 間に貫通電流回路網が形成される。その結果、Z_C 処理が実施されて論理が決定される。この論理値の計算を式に示す。

$$V = \frac{\{(n_{N4})^{-1} + (n_{N5})^{-1}\}^{-1}}{n_{P1} + \{(n_{N4})^{-1} + (n_{N5})^{-1}\}^{-1}} \cdot V_{DD} = (1/3) \cdot V_{DD} \dots$$

以上、短絡線(W2)上は $(1/3) \cdot V_{DD}$ の値となる。但し、W2の電圧値は中間電位の定義から外れるため”L”レベルとして記述される。この論理は2段目、3段目を介して4段目にて”H”として出力される。そして短絡配線上は”H”が印加されることになる。この論理が再び2段目、3段目を介して、4段目の出力にて”L”となり短絡配線の論理を $(1/3) \cdot V_{DD}$ とする。発振の様子を図12の下段の論理チャートに示す。

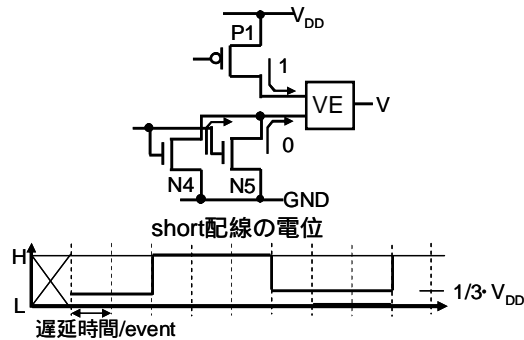


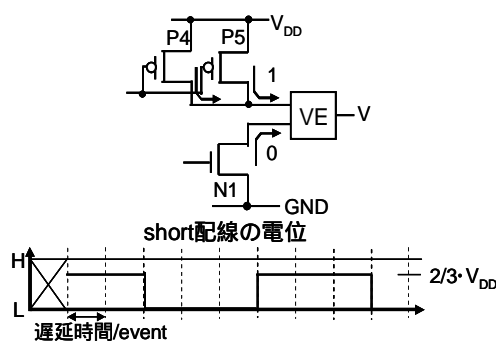
図12 入力L時の貫通回路網と発振チャート図

以上の繰り返しが発振現象として再現される。この回路は図12に示すように V_{DD} MP1 MN4 / MN5 GND間に貫通電流回路網を形成する。

同様に入力にHを印加したとき4段目はHを出力する。そして、FBにより1段目と4段目の出力端子間が短絡しているため、このゲート間で貫通電流網が形成される。この論理値の計算を式に示す。

$$V = \frac{n_{N1}}{n_{N1} + \{(n_{P4})^{-1} + (n_{P5})^{-1}\}^{-1}} \cdot V_{DD} = (2/3) \cdot V_{DD} \dots$$

貫通回路網を図13上段に発振の論理チャートを



下段に示す。

図13 入力H時の貫通回路網と発振チャート図

上述したようにこの検証において、論理が展開する過程で遅延を持たせることで確実な論理の展開を検証するのに助けとなった。また、1遅延

毎に論理の変化が変わるため実故障動作に近いシミュレーションが可能となった。

5. まとめ

フィードバック故障に伴う発振現象の再現のために、「セル内診断」のコンセプトを高度化したトランジスタの動作点解析による診断方式を開発した。方式は1つは電圧値レベルの故障追跡であり、故障回路に起因する T_r のインピーダンス値を算出し、 T_r 網をインピーダンス網に置き換え、各ノードの電圧値を算出することで、論理の故障伝搬を順番に追跡する方式である。もう1つはゲート毎に任意の遅延時間の設定であり、仮想素子を設定することで各ゲート回路に任意の遅延時間を持たせる方式である。その結果、フィードバック故障に起因する発振現象を再現することが可能となった。

以上の効果をソフトウェアに組み込むことで精度の向上を図る。また、表示の切り替えにより各ノードの電圧値表示化のなように改善する。高度化に対して、基板バイアス効果を取り込んだアルゴリズムを開発及び、診断する回路規模の拡大による短時間処理化の開発を計画している。

謝辞

本研究に際して、ご支援いただきましたアストロンの皆様に感謝致します。

参考文献

- [1] 佐藤、“LSI故障診断の現状と課題～チュートリアル～”、LSIテストシンポジウム2006、pp.173-179、2006。
- [2] 特許願 2005-136528号(2005/05/09)
- [3] M. E. Amyeen, D. Nayak and S. Venkataraman, “Improving Precision Using Mixed-level Fault Diagnosis”, in Proc. of IEEE International Test Conference, Paper 22.3, 2006.
- [4] 真田、則松、“スイッチング・レベル・シミュレーションを用いた組み合わせ回路内故障箇所の特典”、LSIテストシンポジウム2004、p235-240。
- [5] 真田、“トランジスタの動作解析による故障箇所の特典 - リーク故障が論理動作に与える影響 - ”、信学技報R2006-31-38、Vol.106、No.377、pp.1-6、Nov. 2006。
- [6] M. Sanada and Y. Yoshizawa, “Fault diagnosis technology based on transistor behavior analysis,” Microelectronics Reliability, vol.46, Issues 9-11, pp.1575-1580, Sept.-Nov. 2006.
- [7] 真田、吉澤、則松、“スイッチング・レベル・シミュレーションを用いたセル内故障診断 - リーク故障が論理動作に与える影響 - ”、LSIテストシンポジウム2005、p225-230。
- [8] 真田、“トランジスタ動作点の解析による故障論理の追跡”、LSIテストシンポジウム2006、pp.205-210。