

ショート故障抵抗値の導入による診断精度の向上 - 電圧値ベースによるセル内診断への適用 - Improvement of diagnosis accuracy by short fault with resistance value - Voltage based fault diagnosis technology in cell circuit -

真田 克

M. Sanada

高知工科大学 工学部 電子・光システム工学科

Dept. of Electronic and Photonic Systems Engineering, Kochi University of Technology

要約: トランジスタレベルの診断精度の向上のために、故障抵抗値と基板バイアス効果を導入するための基本検討をおこなった。前者はショート故障に伴う抵抗値の導入であり、正常動作における基準トランジスタの Z 値を基準とした Z 値との比率を算出し用いる。後者はトランジスタのソースと基板間が逆バイアスとなることでしきい値が増大する現象を表す効果である。ショート故障に伴い形成される貫通電流回路網において、この網の中段に位置するトランジスタはこの効果が付加される。これらを導入した診断は SPICE によるシミュレーション結果とほぼ一致し、精度の向上が確認できた。

Abstract: For improvement of diagnosis accuracy, fault resistance value and substrate bias effect are taken in simulation flow. The former is the resistance value brought by short fault, and the value which is calculated as the ratio to impedance value of standard transistor with normal state. The latter is the effect increasing threshold voltage brought by reverse bias applied to the junction between source and substrate area. The transistor which is located at middle steps in penetration current net formed by short fault, receives the effect. The diagnosis additional of them is brought same result by SPICE simulation, and confirms improvement of diagnosis capability.

キーワード: CMOS、トランジスタ動作点、インピーダンス、ショート抵抗、基板バイアス効果

Keywords: CMOS, Tr operating point, Impedance, Short resistance, Substrate bias effect

1. まえがき

LSI の大規模化、多層配線構造化は故障箇所の特を困難にしてきており、故障解析は膨大な工数を費やす傾向になってきている。物理解析を行うために予めソフトウェアを用いて故障箇所候補を特定し、その候補に対して診断方式が研究開発されてきている。これまでセル内部に注目した Tr レベルの診断方式を発表してきた。このコンセプトは簡易で短時間に素子レベルでの故障候補を特定することを目的とした、故障に伴い形成される貫通電流回路網の各トランジスタをスイッチング(sw)素子とみなす sls (switching level simulation) による sw 素子をインピーダンス値(Z)に置き換えることで電圧値レベルでの故障論理値を算出することで診断精度を高めた方式であった[1]。

これまでは、まず中間レベルでの Z 値を一律 (n 倍: 任意値) に乗算する方式を開発した。しかしながら、この結果はショート故障において SPICE 診断の半分程度の精度しか得られなかった[2][3]。

次のステップとして、ゲート電圧に依存して変化するトランジスタの Z 値を動作点から算出することで NchTr と PchTr を 5 段階に分類する簡

易方式を採用した診断を提案した。この結果は診断精度が大幅に向上し、ほぼ SPICE と同レベルの診断精度を向上できた [4][5][6][7]。

ところで、これまでの診断は故障抵抗を無視した診断のため故障の伝搬を追跡する過程において誤判定の問題があった。また、 I_{DDQ} 異常を伴いながら診断において故障として識別されず、または異なった故障候補を指摘する問題があり、精度上問題があった。

今回ショート故障に対して故障抵抗値を挿入することで上記の問題を解決すべく検討を行なったので報告する。同時にショート故障に伴う貫通電流網の中段に位置するトランジスタは基板バイアス効果の影響によりしきい値(V_{th})が増加する現象を伴うため、この現象も診断に取り込むことで検討を行なった。

報告は 2 章にて精度向上を目指した抵抗値の導入及び、しきい値(V_{th})の増加による診断方式について、3 章にて実験として用いた故障回路について述べる。4 章にて SPICE による故障抵抗を変化させた時の出力論理値について、次章にて診断のための計算式について述べる。6 章にて SPICE と本方式の比較を報告し、最後にまとめを行なう。

2. 診断精度の向上について

診断精度の向上を目指して、ショート抵抗値の導入と基板バイアス効果によるしきい値の変動の取り込みを検討した。

2.1 ショート抵抗値の導入

本診断の基本は正常動作における基準トランジスタのインピーダンス(Z)値をベースに、変動的な動作状態やトランジスタ形状による Z 値を基準 Z 値に対する比率として算出し、各ノードの電圧値を検出する方式である。図 1 に任意のデバイス構造によるインバータ回路による入力電圧(V_{in})の変化に同期して変化するトランジスタ動作点から算出した解析した PchTr と NchTr の Z 値の比率を示す。

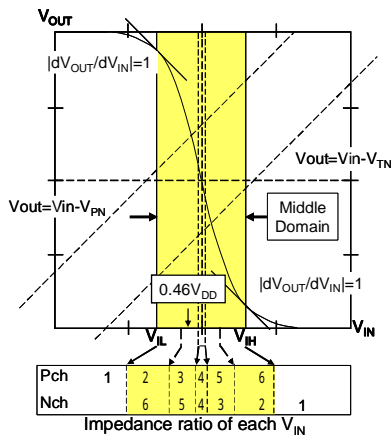


図 1 トランジスタ動作点から解析した PchTr、NchTr の比率

この方針に従って、ショート抵抗値(R_s)も基準 Z 値との比率に換算される。図 2 はシミュレーションによる任意のプロセスでのインバータ回路の V_{in} - V_{out} 特性である。中段に抵抗を挿入することで $V_{in}=V_{DD}/2$ での基準トランジスタの on 抵抗値を算出した。

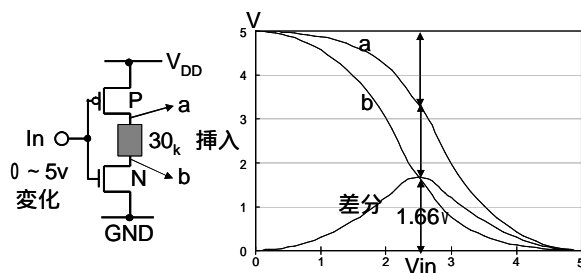


図 2 抵抗を挿入したインバータ回路の V_{in} - V_{out} 特性

これまでの実験から基準 Z 値に対する $V_{in}=V_{DD}/2$ での比率が判っているため、この比率と抵抗値の関係から多様なショート抵抗の比率を求めることができる。シミュレーション結果は、ゲートに中間電位が印加したときの各トランジスタのインピーダンス値は $30k\Omega$ であることを示している。また、規格値(H/L)を印加したときのトランジスタ on 抵抗値は図 1 に示す比率から $7.5k\Omega(=30k/4)$ と算出される。

以上の検証によりショート故障抵抗値の比率を算出した。表 1 はその換算表である。

表 1 ショート故障抵抗値の比率表

Short抵抗	比率(n_{BR})
100k	13.5
50k	6.7
30k	4.0
20k	2.7
18k	2.4
17k	2.3
15k	2.0
10k	1.3

2.2 基板バイアス効果の導入

基板バイアス効果はトランジスタのソースと基板間が逆バイアスとなることでしきい値が増大する現象を表す効果である[8]。ショート故障に伴い形成される貫通電流回路網において、この網の中段に位置するトランジスタはこの効果が付加される。図 3 はこの基板バイアス効果を説明する図である。

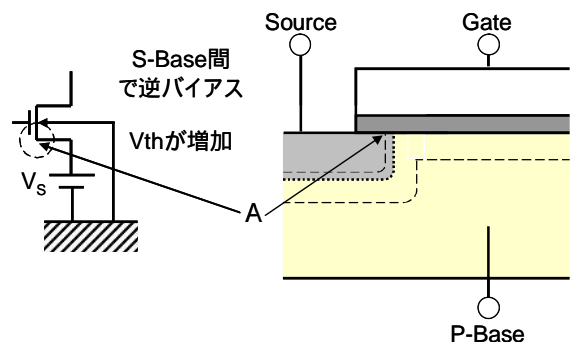


図 3 基板バイアス効果の説明図

ソース - 基板間が逆バイアス状態(図中 A 点)となるとソースからキャリアを流すことができない。逆バイアスを解消するためにゲートより電

圧を印加しなければならない。図4はデバイス構造を用いた基板バイアス効果の説明であり、ソース電圧値の変化に対するポアソン方程式の図示である。

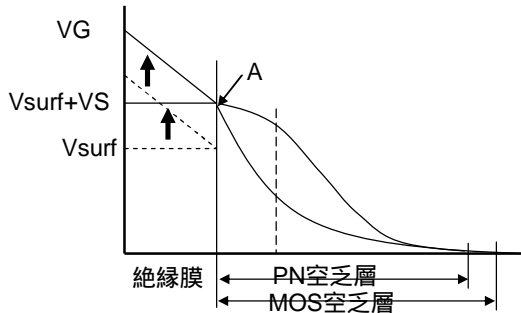


図4 デバイス構造を用いた基板バイアス効果の説明

この現象を数式で示すと式 のようになる。

$$V_{th} = +V_S + \frac{1}{C_{ox}} \sqrt{2qN_A \epsilon_s (+V_S)} \dots$$

(Φ:PN 接合部の接触電位、 N_A :P 基板濃度、 V_S :ソース電圧、 ϵ_s :Si の誘電率、 C_{ox} :ゲート酸化膜厚)

さらに図5はソース電圧(V_S)を変化させた時のしきい値(V_{th})の変化を算出したグラフである。

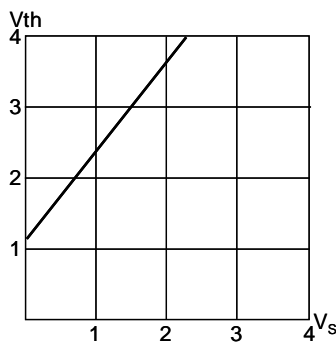


図5 ソース電圧(V_S)を変化させた時のしきい値(V_{th})の変化

以上の検討から今回この効果を近似的に $\Delta V_{th} \propto V_S$ とした。

3. 実験に用いた回路

Full-Adder (FA) 回路を用いて診断効果を検証した。図6はレイアウト図及び、図7は回路図である。レイアウトから44箇所を故障候補を特定した。この内、Bridgeと記載した完全シヨー

ト故障を故障候補として診断を行なった。図8は従来方式での診断結果であり3パターン(8パターン中)に論理異常を確認した。

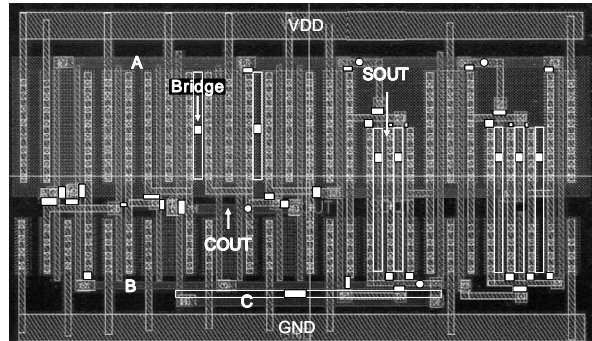


図6 Full-Adderレイアウト図(:故障候補)

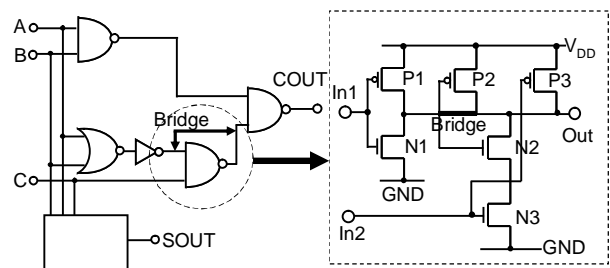


図7 Full-Adderセルベース回路図および、Bridge部のTrレベル回路図

A	B	C	COUT		SOUT	
			Normal output	Faulty sample	Normal output	Faulty sample
0	0	0	0	0	0	0
0	1	0	0	0	1	1
1	0	0	0	0	1	1
1	1	0	1	1	0	0
0	0	1	0	1	1	1
0	1	1	1	0	0	0
1	0	1	1	0	0	0
1	1	1	1	1	1	1

Abnormal state Normal state

図8 診断結果:COUTにて3パターン(ノ8パターン中)で論理異常を検出

4. SPICE

この故障回路をもとにショート抵抗値(R_{BR})をパラメータとして SPICE による出力の変化をシミュレーションした。図9は診断領域とした Full-Adder の部分回路であり、入力点(In1:0から5vに可変、In2:'1'固定)と観測点(out及び、COUT)を有する回路図である。図10は SPICE による診断結果である。

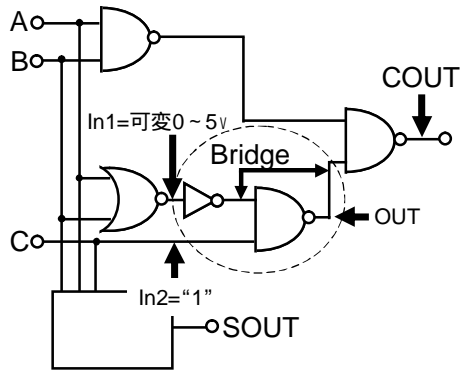


図9 入力点と観測点を示した Full-Adder 回路図

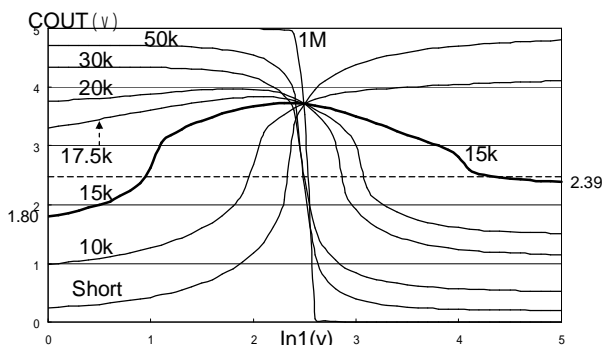


図10 SPICEによるIn1 - COUTの診断結果

図10より明らかなように、故障抵抗の変化に対応して出力論理値が異なる値となる。表2はシミュレーション結果をまとめた表であり、この場合、約15k以上にて完全ショート故障とは異なる結果が出力している。そして、このシミュレーションを本診断方式で簡易に再現することを行なった。

表2 故障抵抗値の変化による出力論理表

入力 (A,B,C)	In1,In2	故障抵抗による出力論理値			
		Short ~10k	15k 近辺	18k	以上
(0,0,1)	(1,1)	1	0	0	
(0,1,1)	(0,1)	0	0	1	
(1,0,1)	(0,1)	0	0	1	

5. 診断のための計算式

上記した SPICE 結果を本診断方式で簡易に再現するためショート故障抵抗導入と基板バイアス効果による診断のための計算式を検討した。

- (In1,In2)=(0,1)の時 -

Full-Adder 回路における入力 (A,B,C)=(0,1,1)、(1,0,1)にあたる入力条件である。図11はこの入力状態における貫通電流通路の様子を示す。図中はインピーダンス表示である。また、A点は Inverter 回路の出力が NAND 回路の Tr(P2, N2)のゲート端子へつながる点であり、点線で示してある。また、ショート(Bridge)抵抗値として R_s を設定する。(In1,In2)=(0,1)の時、P1, N3 は正常動作であるが、P2, N2 はゲート電圧に依存した中間レベル状態となる。

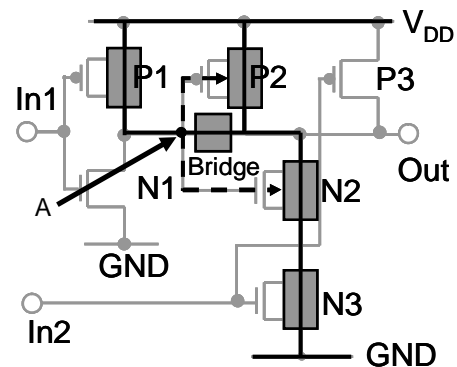


図11 (In1,In2)=(0,1)における貫通電流通路

従って、出力電圧値 $V(out)$ は式 のよう

$$V_{out} = \frac{n_{N2} + n_{N3}}{\{(n_{P1} + n_{BR})^{-1} + (n_{P2})^{-1}\}^{-1} + n_{N2} + n_{N3}} \cdot V_{DD}$$

.....

に表される。

ここで、 $n_{P1}, n_{P2}, n_{N1}, n_{N2}, n_{N3}$ 及び、 n_{BR} は規格値に対する Z 比率として表示される。

基板バイアス効果によるしきい値の変化を導入すると出力電圧値 $V(out)$ は式 のように表される。

$$V_{out} = \frac{n_{N2} + 2 \cdot n_{N3}}{\{(n_{P1} + n_{BR})^{-1} + (n_{P2})^{-1}\}^{-1} + n_{N2} + 2 \cdot n_{N3}} \cdot V_{DD}$$

.....

以上の出力電圧値 $V(out)$ の算出においてショート抵抗値 R_s について考える。

< R_s が大きいとき >

回路図より、A 点は高電圧 (V_{DD} に近い値) のため P2 はオフ状態となる。そのため貫通電流は $V_{DD} \rightarrow P1 \rightarrow \text{Bridge} \rightarrow N2 \rightarrow N3 \rightarrow \text{GND}$ と流れ

る。従って出力電圧値 V_{out} は式 のようになる。

$$V_{out} = \frac{n_{N2} + 2}{1 + n_{BR} + n_{N2} + 2} \cdot V_{DD} \dots\dots$$

< R_s が小さいとき >

貫通電流は V_{DD} (P1+Bridge と P2 の並列通路) N_2 N_3 GND と流れる。従って、出力電圧値 V_{out} は式 のよう表される。

$$V_{out} = \frac{n_{N2} + 2}{\{(1+n_{BR})^{-1} + (n_{P2})^{-1}\}^{-1} + n_{N2} + 2} V_{DD}$$

.....

- (In1,In2)=(1,1)の時 -

Full-Adder 回路における入力 (A,B,C)=(0,0,1)にあたる入力条件である。図 12 はこの入力状態における貫通電流通路の様子を示す。(In1,In2)=(0,1)の時、P1、N3 は正常動作であるが、P2、N2 はゲート電圧に依存した中間レベル状態となる。

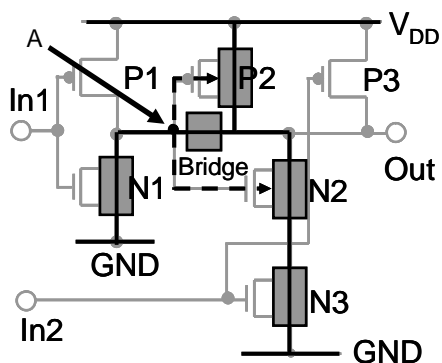


図 12 (In1,In2)=(1,1)における貫通電流通路

従って、基板バイアス効果によるしきい値の変化を導入すると出力電圧値 $V(out)$ は式 のように表される。

$$V_{out} = \frac{\{(n_{N1} + n_{BR})^{-1} + (n_{N2} + 2 \cdot n_{N3})^{-1}\}^{-1}}{n_{P2} + \{(n_{N1} + n_{BR})^{-1} + (n_{N2} + 2 \cdot n_{N3})^{-1}\}^{-1}} \cdot V_{DD}$$

.....

< R_s が大きいとき >

回路図より、A 点は低電圧(GNDに近い値)のため N_2 はオフ状態となる。そのため貫通電流は $V_{DD} \rightarrow P2 \rightarrow Bridge \rightarrow N1 \rightarrow GND$ と流れる。従って出力電圧値 V_{out} は式 のようになる。

$$V_{out} = \frac{n_{BR} + 1}{n_{P2} + n_{BR} + 1} \cdot V_{DD} \dots\dots$$

< R_s が小さいとき >

貫通電流は $V_{DD} \rightarrow P2 \rightarrow (Bridge + N1$ と $N2 + N3$ の並列通路) $\rightarrow GND$ と流れる。従って、出力電圧値 V_{out} は式 のよう表される。

$$V_{out} = \frac{\{(1 + n_{BR})^{-1} + (n_{N2} + 2)^{-1}\}^{-1}}{n_{P2} + \{(1 + n_{BR})^{-1} + (n_{N2} + 2)^{-1}\}^{-1}} \cdot V_{DD}$$

.....

6. 検証

Full-Adder 部分回路(図 9)を用いて、ショート故障抵抗値の導入による In1 - out / COUT の診断と SPICE によるシミュレーション結果の比較を行なった。

- In1 - out 間の解析 -

表 3 に R_s に対する out 端子での診断結果と SPICE 結果を示す。図 13 に SPICE による R_s をパラメータとした In1 と out の関係を示す。また、診断結果との対比を で示す。以上の結果は高度化した診断方式と SPICE による結果がほぼ一致することを示している。

表 3 R_s に対する OUT 端子での診断と SPICE 結果

故障抵抗 ()	In1=0v		In1=5v	
	Diag	PSPICE	Diag	PSPICE
Short	4.00	4.10	1.66	1.40
10k	3.17	3.30	2.67	2.40
15k	2.86	2.95	3.00	2.80
17.5k	2.72	2.80	3.13	2.99
20k	2.60	2.65	3.24	3.13
30k	2.22	2.17	3.57	3.57
50k	1.71	1.56	3.97	4.06
1M	0.00	0.10	5.00	4.90

単位(v)

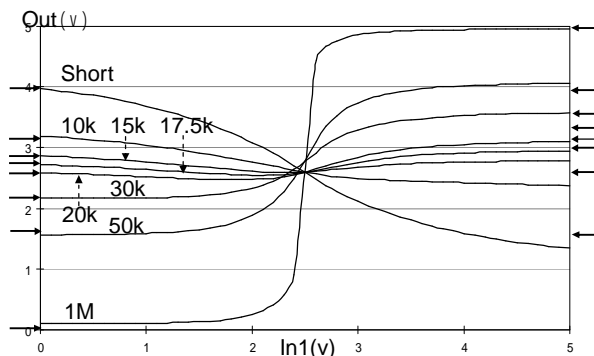


図 12 In1 - Out の関係

- OUT - COUT間の解析 -

上述の故障信号は2入力 NAND 回路へ伝搬し COUT 端子にて出力する。この伝搬は入力に相当する out 端子(図9)の電圧により変化する。表4に入力電圧(out 端子:Inとして記載)に対する COUT 端子での診断結果と SPICE 結果を示す。図14に SPICE によるシミュレーション結果と診断結果(図中)の関係を示す。1つは電圧値であり、もう1つは貫通電流値(I_{DD})であり、最大 I_{DD} 値を示す入力電圧は $In=2.8V$ であり、その時の出力電圧は $2.16V$ である。が見られる。この V_{th} のシフトは今回導入した基板バイアス効果による計算に反映された。さらに、ショート抵抗値の変化による出力論理への影響も解析された。

表4 入力に対する COUT 端子での診断と SPICE 結果

In(v)	Diag	PSPICE
0	5.00	5.00
1	5.00	4.89
2	4.40	4.74
2.5	3.00	3.92
3	1.67	1.37
4	0.00	0.23
5	0.00	0.00

単位(v)

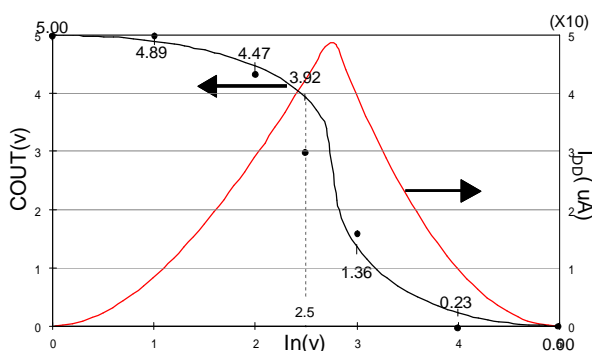


図14 入力(In) - COUTの関係

7. まとめ

これまで開発してきたトランジスタレベルの故障診断方式にショート故障に伴う故障抵抗値の導入と、故障に伴う貫通電流通路の中段に位置するトランジスタに対する基板バイアス効果を導入した。その結果、多段回路における電圧レベルでの診断精度が向上できた。

しかしながら、SPICE との間にズレが発生している。この原因はトランジスタの SPICE モデルに起因するものであり、試作している Full-Adder 回路を用いて実測することでパラメータの調整を図る。

また、本手法をソフトウェアに組み込むにあたり、簡易な計算フローを確立を予定している。さらに故障抵抗ということショート故障に注力したが、オープン故障への対応する課題が残っている、これはオープン故障を電気的特性として捉えることで検討していく予定である。

謝辞

本研究の一部は STRAC との共同研究による。また、診断の高度化に対して、ご支援いただきましたアストロン社の皆様に感謝いたします。

参考文献

- [1] 真田、則松、“スイッチング・レベル・シミュレーションを用いた組み合わせ回路内故障箇所の特定制”、LSI テストシンポジウム 2004, p235-240, 2004.
- [2] 中里、則松、浦田、“スイッチング・レベル・シミュレーションを用いたセル内故障診断技術の診断精度の改善と検証”、LSI テスティングシンポジウム 2007, p227-232.
- [3] 吉澤、“RC 回路網による故障モデルの考案とトランジスタレベル故障診断試行”、LSI テスティングシンポジウム 2007, p257-262.
- [4] 特開 2006-313133 号
- [5] M. Sanada and Y. Yoshizawa, “Fault diagnosis technology based on transistor behavior analysis,” Microelectronics Reliability, vol.46, Issues 9-11, pp.1575-1580, Sept.-Nov. 2006.
- [6] 真田、“トランジスタ動作点の解析による故障論理の追跡”、LSI テストシンポジウム 2006, p205-210, 2006.
- [7] M. Sanada, “Voltage-based fault path tracing by transistor operating point analysis,” ESREF2008, To be published.
- [8] 玉井得迪監修「半導体回路設計技術 - 回路設計への実践的アプローチ - 」日経マグロウヒル社