

オープン故障がもたらす電気的特性の評価・解析 Evaluation and analysis of electric characteristic by open fault

橋田 啓示、真田 克

K.Hashida, M.Sanada

高知工科大学 工学部 電子・光システム工学科

Dept. of Electronic and Photonic Systems Engineering, Kochi University of Technology

要約: 簡単な論路回路にゲートオープン故障を作り込んだ LSI を用いて電気的特性を評価した。その結果、入出力特性 ($V_{in} - V_{out}$) は正常な論理状態を示し、ゲートオープン故障に伴うトランジスタは常にオン状態になっていることを示した。この現象はゲートオープン故障に伴うトランジスタが高インピーダンスを有する抵抗体とみなすことで説明できる。しかしながら、ゲート電圧に依存せず一定インピーダンス値を有するはずのトランジスタが回路の信号に影響していると思われる現象が見られた。

Abstract: By using simple logic circuit fabricating gate-open fault, electric characteristic was evaluated. The result indicated that In-out ($V_{in} - V_{out}$) characteristic showed normal logic state, and transistor state with gate-open fault kept on-state. The phenomenon is explained that transistor with gate-open fault considers it to be a resistance with high impedance. The result showed simultaneously that the transistor without depending on gate voltage have a constant impedance value, was influenced by circuit signal.

キーワード: CMOS、オープン故障、電気的特性、 I_{DD}

Keywords: CMOS, Open fault, Electrical characteristics, I_{DD}

1. はじめに

LSI の微細化に伴う配線層のバラツキや、多層配線構造化に伴うビアホールが増大に伴い、オープン故障が増大してきている。これまでにオープン故障を検出するために物理解析法やソフトウェア(SW)を用いた診断法が研究されてきている。

物理解析法は電位コントラスト、吸収電流、発光といった物理現象を利用した故障箇所の特特定やレーザを用いた配線抵抗の変化から故障箇所を検出する方法である(1)。診断法は論理情報や電流情報を用いた診断方式が報告されている。さらに、外部から磁界(2)、電界(3)といった刺激を与えることでオープン状態を H/L に固定化することで論理状態を観測し、故障箇所を特定する方式が報告されている。

SW を用いた診断は論理情報と電源電流情報を用いた方法が報告されている(6)。前者の情報はオープン故障による論理が出力端子に伝搬する論理情報であり、これまで、隣接配線間のカップリング効果による診断法(7)、電磁界シミュレータを用いた配線モデルによる診断法(8)や隣接信号線限定されたレイアウト状態でのオープン故障への診断法(9)、RC 回路網による故障モデルを用いた診断法(10)などが報告されている。後者の情報はオープン故障による中間電位がトランジスタをオン状態にすることで発生する貫通電流情報であり、 I_{DDQ} 異常値と信号論理情報の関係から特定する診断法(11)が報

告されている。

しかしながら、診断のためのモデル化のベースとなる電気的特性を評価・解析した内容に関してはあまり報告されていなかった(12)。

本論文はオープン故障がもたらす電気的特性の評価を目的としており、故障を作り込んだ市販 LSI を用いて評価・解析したので報告する。第 2 章ではオープン故障の作り込み方法を、第 3 章ではこれらサンプルの電気的特性とその現象メカニズムを考察し、第 4 章でまとめを行なう。

2. 測定

2.1 評価サンプル

評価サンプルは市販 LSI を開封し、任意の配線箇所を切断することでゲートオープン故障を作り込んだサンプルである。1 つは「TC4049BP」であり、3 段構成の inverter 回路で構成されたゲート回路が 6 個有する LSI であり、もう 1 つは「TC4069UBP」であり、1 段の inverter 回路が 6 個有する LSI である。

オープン故障は開封後の LSI が正常動作することを確認した後、任意のゲート配線をプローバ針で物理的に切断した。

* TC4049BP

図 1 に示すように 3 段目のインバータ回路の PchMOS-Tr(PTr)のゲート配線を切断した。

* TC4069UBP

図 2 に示すように NchMOS-Tr(NTr)のゲート配線を切断した。

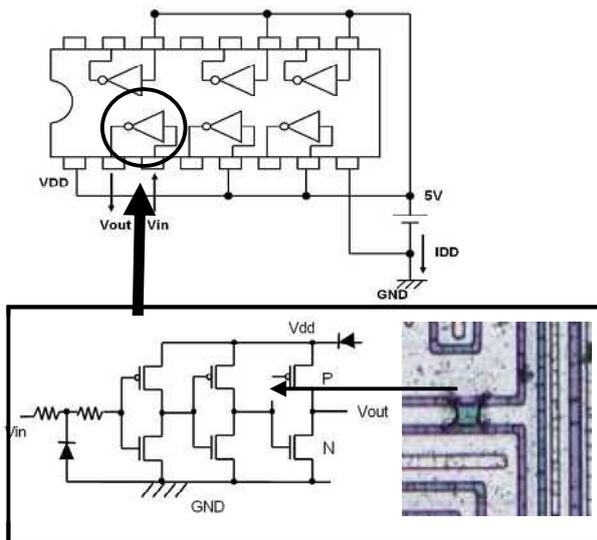


図 1 TC4049BP 回路

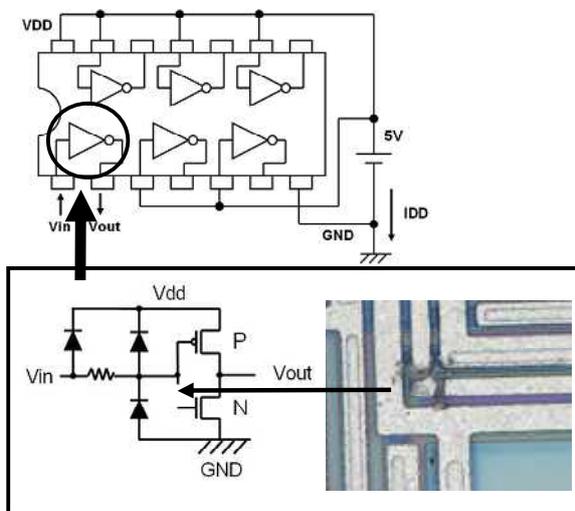


図 2 TC4069UBP 回路

2.2 測定装置

測定装置はシールド BOX 内に設置したプローピング用顕微鏡下に LSI を設置し、シールド BOX 外部からの配線で電源および信号を印加した。構成機器は以下の通りである。

- ・Digit Multimeter (Agilent)
- ・DC Power Supply (Agilent)
- ・冷却 CCD カメラ BS-40L (BITRAN)
- ・プローピング用金属顕微鏡(ミットヨ)
- ・制御 PC

図 3 に観察・測定システムを示す。

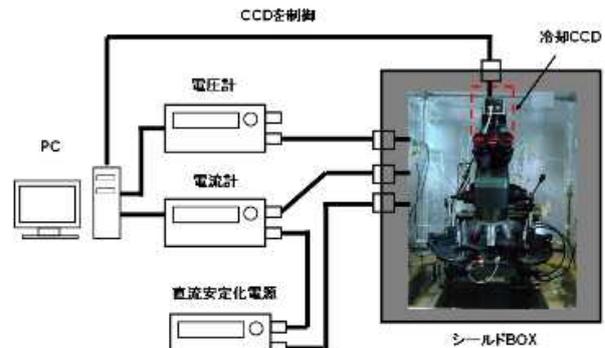


図 3 測定システム構成

3. 電気的測定

3.1 TC4049BP

故障を作りこんだ TC4049BP の電気的特性を測定し、これらの現象を考察した。

3.1.1 測定結果

図 4 は正常回路と故障回路の V_{in} - V_{out} 特性であり、 V_{in} 印加後 2 分以上経過してからのデータである。共に約 2.3v にしきい値を有する鋭い論理の切り替えが見られる。

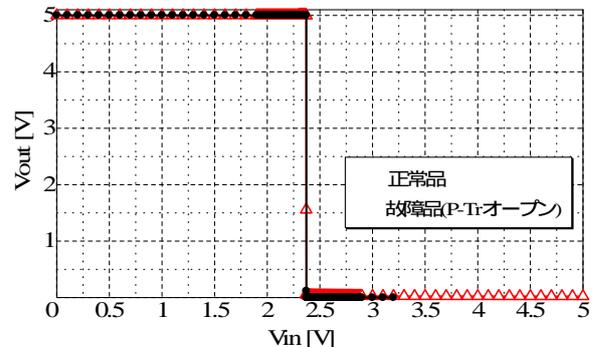


図 4 V_{in} - V_{out} 特性

図 5 は正常回路と故障回路の V_{in} に L(0V) を印加した直後から 120 秒間の V_{in} - V_{out} 特性である。故障回路は V_{in} に L を印加しているにもかかわらず約 2.5v を示し、その後緩やかに上昇し 70 秒で V_{DD} に到達している。

図 6 は正常回路と故障回路の V_{in} - I_{DDQ} (電源電流) 特性であり、上記同様 V_{in} 印加後 2 分以上経過してからのデータである。正常回路は 2.3v の $\pm 0.5v$ に小さな上下カーブをもつ $80 \mu A$ に届く急峻な I_{DDQ} 値を出力しているに対して、故障回路は $30 \mu A$ のピークをもつ弧状の減衰カーブを示している。この減衰時の正常回路との差は約 $10 \mu A$ である。

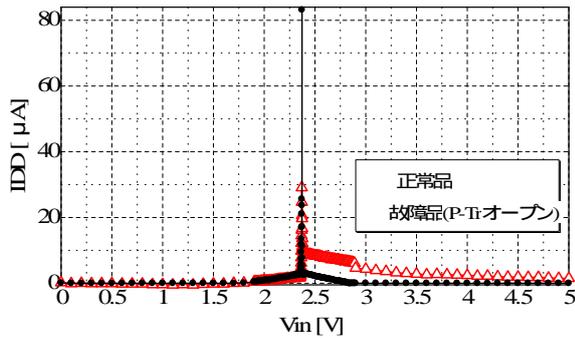


図5 Vin印加時の Vin-Vout 特性

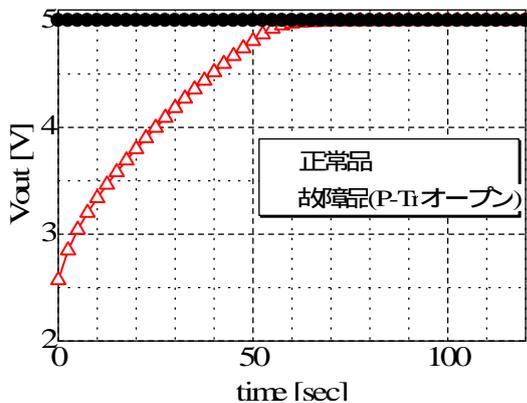


図6 Vin-IDDQ 特性

3.1.2 考察

以上の測定結果に対し、図7に示すように故障回路を Vin をベースとした3つの動作状態に分け考察を行う。

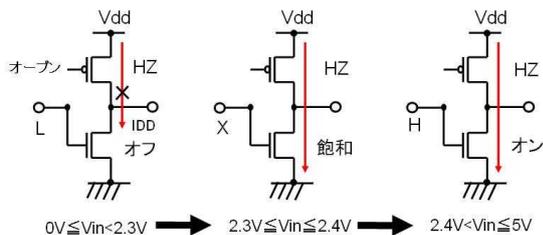


図7 Vin をベースとした3つの動作状態

・0V Vin<2.3V 範囲

図7(左)は NTr はオフ状態、PTr はゲートオープンによる高インピーダンス(HZ)を持ったオン状態を示す回路図である。この状態では電源電流 (I_{DD}) は貫通電流経路が無いので流れていない。さらに、PTr のオン状態が出力電圧を H にさせている。しかしながら、図6では、 $V_{in}(L)$ を印加直後 V_{out} は 2.5v であり、70sec かけて 5V へと上昇している。この理由は、測定直前の信号が印加なしの状態だったため PTr, NTr のゲート電極がフローティングとなり、HZ を有するオン状態であったため、2.5V(中間電

位) から始まったと考えられる。信号印加後、NTr はオフ状態となり、そのため PTr は CR の時定数で 70sec かけて V_{DD} へ上昇したと考察できる。

・2.3V Vin 2.4V 範囲

図7(中)は NTr は飽和状態、PTr は HZ を有するオン状態を示す回路図である。Tr は共にオン状態のため貫通電流経路が形成され I_{DD} が流れる。正常回路との差はトータル・インピーダンス値が大きいためである。Vin - Vout カーブが急峻な理由は前段までの信号伝播による整形によるもの考える。さらに、切り替わり後の出力電圧が低くなる理由は NTr のインピーダンス値が PTr の HZ 値に比べてはるかに小さいためであると考えられる。

・2.4V<Vin 5V 範囲

図7(右)は NTr は飽和から非飽和状態へ、PTr は HZ を有するオン状態を示す回路図である。Tr は共にオン状態のため貫通電流経路が形成され I_{DDQ} が流れる。そして NTr が飽和から非飽和状態へ移行すると共に ON 抵抗の減少と共に電流値が増えねばならないがそうはなっていない。この現象についてはまだ解析できていない。Vin - Vout カーブは NTr の非飽和状態への移行とともに出力電圧をさらに低くさせる。

・まとめ

ゲートオープン故障を伴うトランジスタは高インピーダンスを有する抵抗体とみなすことで説明がつく。換算したインピーダンス値は約 1M であった。しかしながら、本来一定値と思われるはずのインピーダンス値が変化していることが検出された。この原因は現在調査中である。

3.2 TC4049BP

故障を作りこんだ TC4049BP の電気的特性を測定し、これらの現象を考察した。

3.2.1 測定結果

図8は正常回路と故障回路の Vin-Vout 特性であり、Vin 印加後 2 分以上経過してからのデータである。正常回路のしきい値(約 2.6v)に比べて故障回路のしきい値は 3.8v と VDD 側へシフトしている。

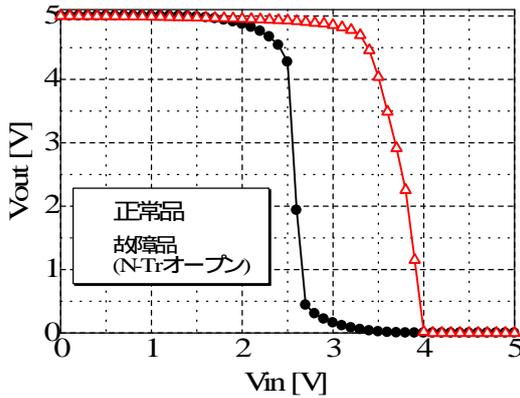


図8 Vin-Vout 特性

図9は正常回路と故障回路の Vin-IDD (電源電流) 特性であり、上記同様 Vin 印加後 2 分以上経過してからのデータである。正常回路は 2.6v を中心に ±1v に上下カーブをもつ 14 μA の最大値を持つ IDD 値を出力しているに対して、故障回路は 0v からほぼニアに 3.2v まで上昇しその後、正常回路と同じカーブで減衰している。但し、このピークは 2 μA である。

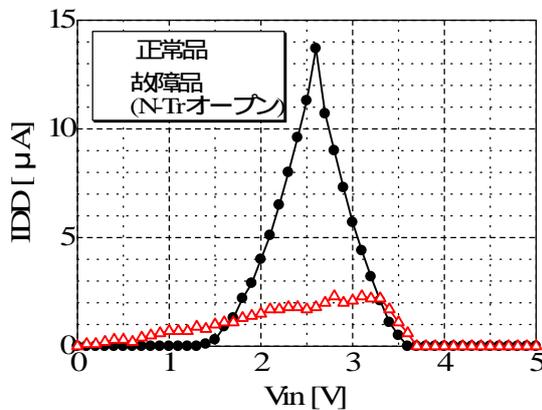


図9 Vin-IDD 特性

3.2.2 考察

以上の測定結果に対し、図 10 に示すように故障回路を Vin をベースとした 3 つの動作状態に分け考察を行う。

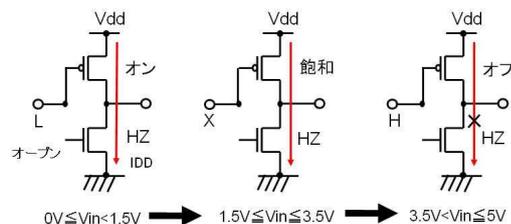


図10 Vin をベースとした 3 つの動作状態

・0v Vin<1.5v 範囲

図 10(左)は NTr はゲートオープンによる HZ を持ったオン状態、PTr は入力 L によるオン状態を示す回路図である。この状態は PTr の非飽和から飽和状態への移行と共に貫通電流値は大から小へ変化していくと考えるが実際はほとんど流れていない。また、傾向は逆である。この理由は検討中である。

論理は共にオン状態であるが、PTr に比べて大きい NTr のインピーダンスによる出力電圧は V_{DD} 近くとなっていると考える。

・1.5v Vin 4v 範囲

図 10(中)も上記と同様、NTr はゲートオープンによる HZ を持ったオン状態、PTr は入力 L によるオン状態になっている。そして、PTr は飽和状態への移行と共に貫通 IDD 値は大から小へ変化していくと考えるが実際は逆の傾向を示している。この理由は検討中である。しきい値は 3.8v 近辺と正常回路に比べて 1v 以上大きくなっている。これは PTr のしきい値が約 4v にあるためであり、オフ状態によりゲートオープンによる NTr のオン状態での電圧が顕在化してきたためと思われる。この現象は 3.4v あたりから IDD 値が下がりだし、3.7v にて 0 μA になる現象と一致している。

・4v<Vin 5v 範囲

図 10(右)は PTr はオフ状態、NTr はゲートオープンによる高インピーダンス(HZ)を持ったオン状態を示す回路図である。この状態では I_{DD} は貫通電流経路が無いので流れていない。さらに、NTr のオン状態が出力電圧を L にさせている。

・まとめ

ゲートオープン故障を伴うトランジスタは高インピーダンスを有する抵抗体とみなすことで説明がつく。換算したインピーダンス値は 2~3M 以上であった。

4. まとめ

簡単な論理回路にゲートオープン故障を作り込んだ LSI を用いて電気的特性を評価した。その結果、入出力特性 ($V_{in} - V_{out}$) は正常な論理状態を示し、ゲートオープン故障に伴うトランジスタは常にオン状態になっていることを示し

た。この理由はゲートオープン故障を伴うトランジスタは高インピーダンスを有する抵抗体とみなすことで説明がつく。しかしながら、ゲート電圧に依存せず一定インピーダンス値を有するはずのトランジスタが回路の信号に影響していると思われる現象が見られた。

このゲートオープン故障を有する T_r は不安定な論理状態あるため、論理を固定化すべく外部からの刺激(電界、磁界、熱、強制的なキャリア注入)による実験を行っている。そしてオープン故障の判定と、この結果をもとにした論理シミュレーションにより故障箇所を特定する方法を検討する予定である。

参考文献

- [1] 二川清著「LSI 故障解析技術のすべて」工業調査会 2007/11/30 発行及び、二川清著「はじめてのデバイス評価技術」工業調査会 200/1/28 発行を参照ください。
- [2] 小宮泰磨、菊池修司、嶋瀬朗、向川一也「LSI 断線箇所診断手法」LSI テスティングシンポジウム/2004 pp.279-283
- [3] M.Hashizume, M.Ichimiya, H.Yotsuyanagi, T.Tamesada“CMOS open defect detection by supply current test”, Proc. DATE2001, pp.509-513
- [4] 久慈憲夫「故障診断手法とその動向」LSI テスティングシンポジウム/2000 pp.94-69
- [5] 佐藤康夫「LSI故障診断の現状と課題」LSI テスティングシンポジウム/2006 pp.173-180
- [6] 佐藤康夫、山崎巖、山中宏樹「LSI 故障診断の分解能向上手法」LSI テスティングシンポジウム/2002 pp.101-106
- [7] 高橋寛、樋上喜信、相京隆、高松雄三、山崎浩二、堤利幸、橋爪正樹、四柳浩之「オープン故障に対する一故障モデルの提案とその故障診断」LSI テスティングシンポジウム/2006 p.181-186
- [8] 山崎浩二、堤利幸、高橋寛、樋上喜信、相京隆、高松雄三、橋爪正樹、四柳浩之「隣接信号線を考慮したオープン故障の一診断法」LSI テスティングシンポジウム/2006 pp.187-192
- [9] 吉澤豊「RC 回路網による故障モデルの考案とトランジスタレベル故障診断試行」LSI テスティングシンポジウム/2007 pp.257-262
- [10] 真田克、植平和生、布施英悟「IDDQ を用いたロジック LSI 製造工程における欠陥モードの分類」LSI テスティングシンポジウム/2000 pp.88-93
- [11] H. Michinishi, T. Yokohira, T. Okamoto, T. Kobayashi, and T. Hondo, “CMOS flating gate defect detection using supply current test with DC power supply superposed by AC component”, IEICE Trans. INF & SYST., Vol.E87-D, N0.3 pp.551-555, 2004

