

# トランジスタ動作点解析による故障論理の追跡 - フィードバック故障による発振現象の取得 -

真田 克、中村 朋矢、橋田 啓示  
高知工科大学 電子・光システム工学科

E-mail: sanada.masaru@kochi-tech.ac.jp

**あらまし** トランジスタレベルの診断技術において、中間電位の定義と各電位が設定するインピーダンス値を細分化することで診断精度を向上させた。前者の中間電位は Inverter 回路において電圧利得(VOUT/VIN)の絶対値が 1 以上のエリアに対して設定される電位である。後者はこの電位による PchTr と NchTr の電流 - 電圧特性から決定される動作点を分類して得られるインピーダンス値の細分化である。多様な Tr 形状のインピーダンスに対して Tr のゲート長(L)/ゲート幅(W)値を用いた換算を行う。この結果、故障動作の再現精度が向上し、組合せ回路と共に順序回路の診断が可能となった。そして、従来方式では追跡が難しかった故障論理の伝搬やフィードバック動作の再現が可能となった。

**キーワード** CMOS、インピーダンス、トランジスタ動作点、故障伝搬、発振現象

## Fault Logic Trace by Using Transistor Operating Point Analysis - Diagnosis of Feed Back Fault with Oscillating Phenomenon -

Masaru SANADA Tomoya NAKAMURA and Keizi HASHIDA

Department of Electronic and Photonic Systems Engineering, Kochi University of Technology  
Tosayamada-cho, Kami-chi, Kochi, 782-8502, JAPAN

E-mail: sanada.masaru@kochi-tech.ac.jp

**Abstract** The segmentation of impedance value is improved the fault diagnosis capability, the value which indicates the operating point of transistor in middle range voltage. The middle level means the area with voltage gain (VOUT / VIN) over 1 in inverter circuit. This segmentation is applied to classify operating point detected by V-I characteristics of PchTr and NchTr and to detect impedance value of each them. For various Tr formation, the ratio of it's gate length(L)/ gate width(W) value is added to standard Tr's value. By using above data, operation accuracy of fault movement is improved. This technology makes it possible to examine the quantification of fault logic propagation and feedback operation result from fault mode.

**Keyword** CMOS, Impedance value, Tr operating point, Fault propagation, oscillation phenomenon

### 1. はじめに

LSI の大規模化、多層配線構造化は故障箇所の特定制を困難にしてきており、故障解析は膨大な工数を費やす傾向になってきている。物理解析を行うために予めソフトウェアを用いて故障箇所候補を特定し、その候補に対して診断方式が研究開発されてきている[1]。従来、故障診断はセル(基本的な論理動作を有する回路単位)間を接続する配線に対して Stuck\_at Fault 故障の論理診断を行っていた。しかしながら回路構成はセルといえどもトランジスタ(Tr)数が増大し、さらに多層配線構造化は最も厳しい設計ルールで最下層にセルを構成するため、セル内部に注目した Tr レベルの診断が必要になってきている。また、出力異常として発覚する故障モードは故障箇所から故障論理が伝搬していく過程において、次段回路へ入力する故障論理に対して多様な動作を繰り返すため Stuck\_at Fault では説明でき

ないケースが検出されるため、電圧に注目した故障伝搬の必要性が高まっている。

このような背景のもとに、本文は素子レベルの故障診断により故障論理となる電圧値に注目した故障診断方式について述べる。第 2 章にて診断のコンセプトを簡単にまとめたのち、次章にて論理の判定・遅延時間導入・論理の保持を目的とした仮想素子の導入による診断精度の向上策について述べる。第 4 章にて故障伝搬とフィードバック故障による発振現象の診断例を示し、最後にまとめを行なう。

### 2. 診断方式[2]

本診断は Tr レベルの回路レイアウト上からのリーク故障候補を特定し、この候補をもとに CMOS 論理回路の出力論理値の特定として一般的なスイッチングレベルシミュレーション SLS(Switching Level Simulation)\*

結果に、Tr の動作状態の解析から算出するインピーダンス値を組み込むことで各ノードの電圧値を算出する方式である。図 1 は診断手順を示す簡易フロー図である。

\*SLS ( Switching Level Simulation ) : SLS は Tr のゲート ( G ) 端子に印加する論理に同期してソース ( S ) ・ドレイン ( D ) 間が完全導通または完全非導通となるスイッチング動作 ( on / off 動作 ) をベースとした簡易な論理シミュレーションである。

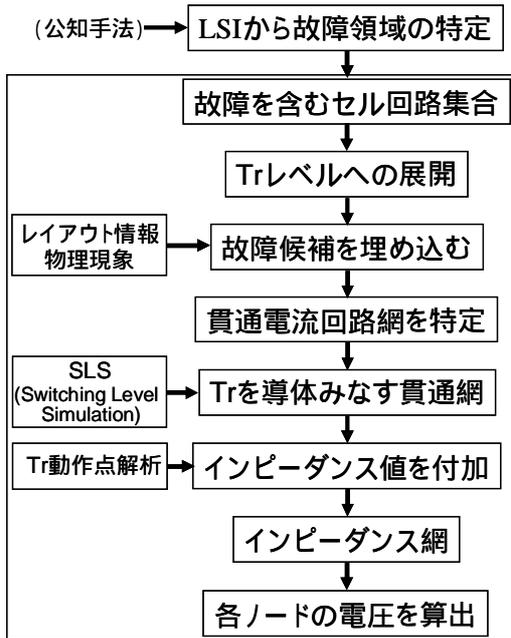


図 1 診断の簡易フロー図

診断は公知の方式[1]で絞り込まれたセルや回路網を Tr レベルの回路構成に展開する。そして、故障候補を回路に埋め込む。次に、この故障に起因して形成する貫通電流回路網を特定する。その後、この回路網に「on 状態の Tr を導体とみなす」SLS を導入することで導体による貫通網に置き換える。そして、この導体網の各 Tr に Tr の動作点から算出したインピーダンス値を付加することでインピーダンス網に置き換える。最後に、このインピーダンス網を用いて各ノードの電圧値を算出する。

以降、出力電圧値が中間電位するとき、次段回路はこのゲート電圧による貫通電流網を形成する。そして、論理の伝搬による出力端子へ出力する論理を特定できる。

### 2.1. 故障候補

回路に組み込む故障候補について述べる。故障候補はレイアウト構造と物理解析による観察像からの取得データである。前者は設計 CAD データとして保存して

いる DEF、LEF 及び、SPICE データである[3]。DEF はネットの配置座標データであり、ショート故障の確率が高い隣接配線や交差配線箇所を決定する。LEF は配線幅と間隔を規定すの物理情報である。この情報をもとに配線に広がり幅を持たすことで形成される重なり面積の大小からはショート発生の重み付けを行なうために使用する ( 図 2 )。

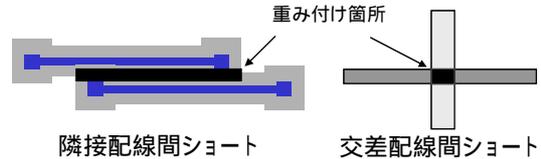


図 2 ショート故障とその重み付け

SPICE は Tr 電極に接続するネットおよび、Tr 形状である L(ゲート長) / W(ゲート幅) を記載したリストである。前者により配線の始点と終点に位置する Tr の特定や、オープン故障として頻度の高い Via を介した Tr の特定に用いる ( 図 3 )。後者は 2.3.2 節で説明するインピーダンス値の決定に用いる。

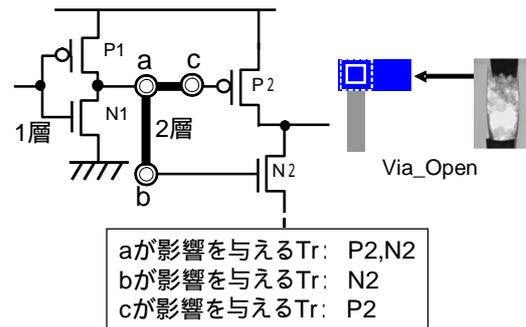


図 3 Via オープン故障と影響する Tr の特定

さらに、レイアウト形状の特異な箇所座標を指定することで候補を指定する。

後者は故障に伴う物理現象の発生箇所の位置データである。物理現象は異常発熱や異常発光があり、エミッション顕微鏡や液晶塗布法、さらには赤外線顕微鏡を用いることで取得できる。

### 2.2. 貫通電流回路網

貫通電流回路網はショート故障及び、オープン故障に起因して形成する。ショート故障は論理の異なった 2 本の配線間に設定される電圧が、オープン故障は中間電位となったフローティング配線の終端が Tr のゲート電極に入力するとき、Tr は on 状態となり貫通電流網を形成する。そして、貫通電流回路網は正常時に on 状態となる Tr とともに故障起因により中間電位とな

ると配線に接続される Tr からなる回路網を貫通路として識別する。

### 2.3. Tr の動作点[4][5][6]

Tr はゲート電圧に依存したインピーダンス値を持つ。まず、中間電位の定義をした後、インピーダンス値の決定について示す。

#### 2.3.1. 中間電位の定義

図 4 は NchTr、PchTr の  $V_{DS} - I_{DS}$  特性、これらの Tr を用いて構成する Inverter 回路の  $V_{IN} - V_{OUT}$  特性及び、 $I_{DD} - V_{IN}$  特性を示す。

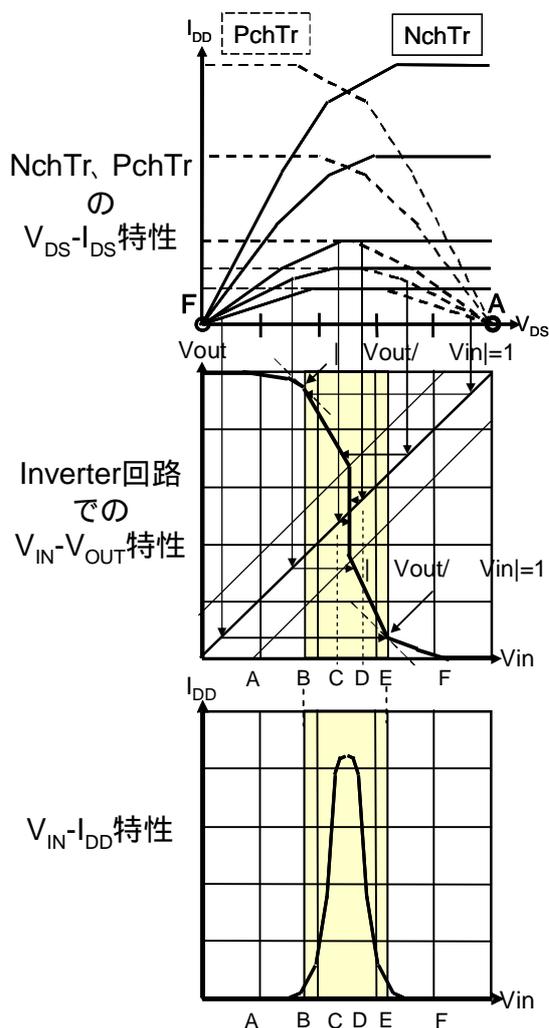


図 4 中間電位を定義するための Tr 及び、Inverter 回路の電気特性

図 4 中の A, F 点は NchTr、PchTr のチャネル部に反転層が形成されるしきい電圧  $V_{Tn}$ 、 $V_{Tp}$  である。そして、A, F 点以降は NchTr、PchTr とともに反転層が形成されるため、 $V_{DD}$  から GND 間にこれらのインピーダンス値に応じた貫通電流 ( $I_{DD}$ ) が流れ始める。しかし、本診断

での取り扱い上、これらの動作点は一方側をカットオフ状態に他方側を正常 on 状態としても動作上問題ないため中間電位範囲外とする。

B, E 点は  $V_{OUT}$  を  $V_{IN}$  の関数  $F(V_{in})$  として表示したときの電圧利得 ( $dV_{OUT} / dV_{IN}$ ) が  $|1|$  となる点である。これは雑音などによる入力信号の変動に対する出力論理値の増幅限界値である。従って、B 点を  $V_{IL(max)}$ 、E 点を  $V_{IH(min)}$  とおくことで、B ~ E 点で囲まれた動作領域を中間電位として扱う。

C, D 点は NchTr / PchTr のピンチオフ点であり、これ以降、左 / 右側の飽和領域に動作点をもつ。

以上、B ~ E 点で囲まれた動作領域を中間電位として扱う。

#### 2.3.2. インピーダンス値の決定

インピーダンス値は Tr の動作点に対する値と Tr 形状としての  $L$  (ゲート長) /  $W$  (ゲート幅) 値から決定される。診断は基準 Tr のインピーダンス値を 1 とした時の比率を用いる。

<動作点からのインピーダンス値の決定>

図 5 は Inverter 回路の  $V_{IN} - V_{OUT}$  特性であり、2.3.1 項より B 点 ~ E 点を中間電位として扱う。インピーダンス値は図 4 に示す PchTr と NchTr の動作点から算出する。図中、 $V_{IN}$  は Tr のゲート - ソース間電圧 ( $V_{GS}$ ) に、 $V_{OUT}$  は Tr のドレイン - ソース間電圧 ( $V_{DS}$ ) に対応する。そのため Tr の動作点は  $V_{IN}$  に同期した  $V_{OUT}$  値から決定される  $V_{DS}$  と貫通電流  $I_{DD}$  とのクロス点となる。そして、 $(V_{DS} / I_{DD})$  値をインピーダンス値として算出する。

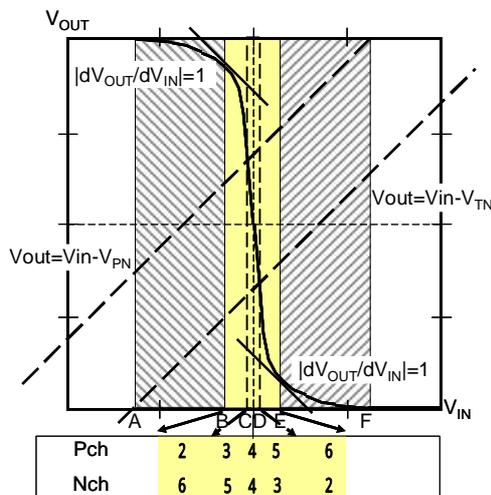


図 5 Inverter 回路の  $V_{IN} - V_{OUT}$  特性

図 5 の下部に示す表は Pch / NchTr のゲート電極に印加する正常な入力電圧値 “ $V_{IL}(\text{Max})$ 以下、 $V_{IH}$  値( Min )以上のインピーダンス値を 1” とした時の、中間電圧値によるインピーダンス値の比率である。中間電位の各位置においてこれらの比率が大きく変化している。

< Tr 形状からのインピーダンス値の決定 >

多様な Tr 形状に対するインピーダンス値は図 6 に示す SPICE 上に記載された L(ゲート長)/W(ゲート幅)値を用いて決定される。本診断では基準となる Tr (一般的に 1 対の Nch と PchTr で構成された Inverter 回路)の L/W 値を特定し、異なる形状をもつ Tr の L/W 値との比率を決定する。

図中、Inverter 回路を構成する N5、P5 の L/W 値が基準(1)となる。従って、N1 は  $(1/0.45) / (1/1.2) = 2.7$  倍として算出される。

Tr名	S	G	D	Tr寸法			
MN1	A000001	P01	R01	GND	NENHHP	L=0.10U	W=0.45U
MN2	GND	R02	A000001	GND	NENHHP	L=0.10U	W=0.45U
MP1	A000002	P02	R01	VDD	PENHHP	L=0.10U	W=0.72U
MP2	VDD	R02	A000002	VDD	PENHHP	L=0.10U	W=0.72U
MN3	A000003	P02	Q02	GND	NENHHP	L=0.10U	W=0.45U
MN4	GND	Q01	A000003	GND	NENHHP	L=0.10U	W=0.45U
MP3	A000004	P01	Q02	VDD	PENHHP	L=0.10U	W=0.72U
MP4	VDD	Q01	A000004	VDD	PENHHP	L=0.10U	W=0.72U
MN5	GND	Q01	A000007	GND	NENHHP	L=0.10U	W=1.20U
MP5	VDD	Q01	A000007	VDD	PENHHP	L=0.10U	W=1.92U

基準 Tr

図 6 SPICE データ

3. 仮想素子(VE)の導入[7]

貫通電流回路網を形成する PchTr 集合体と NchTr 集合体の論理が合流する箇所に仮想素子 (virtual elements : VE)を設ける。この設定は貫通電流回路網をイベント単位として次段回路と独立した論理解析を可能にする。この導入は 3 つの効果をもたらした。1 つは各集合体からの論理の合流による出力論理の判定、2 つ目は任意の遅延時間の設定、3 つ目は論理が変化する間の論理の保持である。

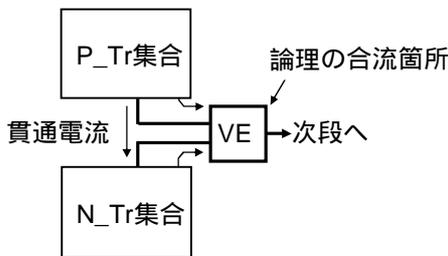


図 7 貫通電流回路網に設定された仮想素子

3.1. 出力論理の判定

貫通回路網の出力論理の判定は PchTr 集合体と

NchTr 集合体からの論理の組合せにより決定される。これらの合流点に仮想の端子(VE)を設けることで、VE を起点とする簡易な論理判定が可能となった。

表 1 は論理の組合せに対する出力論理の判定表である。表中 Weak0, Weak1 は中間電位の範囲に位置する電圧であり、各々しきい値 ( $V_{DD} / 2$ ) より低い電圧と高い電圧を示す論理値である。HZ はハイ・インピーダンス値、そして、Z\_C はインピーダンス網を用いたノード計算による論理判定である。

例えば一方側が 0、他方側が 1 を有する論理が VE に入力したとき貫通電流網が形成される。そのため出力論理はこの貫通網の Z\_C 処理により決定される。

以上の処理は後述する貫通電流を伴わない故障診断に対しても有効である。

表 1 論理を組合せによる出力論理の判定表

	0	1	Weak0	Weak1	HZ
0	0				
1	Z_C	1			
Weak0	0	Z_C	Weak0		
Weak1	Z_C	1	Z_C	Weak1	
HZ	0	Z_C	0	1	HZ

Weak0 / 1 : 中間電位の範囲に位置する電圧 (Z\_C:インピーダンス計算)

3.2. 遅延時間の設定

イベント単位に対して、任意の遅延時間を設定する。図 8 はイベント毎に信号が伝搬されていく様子を示す簡易図である。イベント-1-から出力した論理はイベント-4-にて 3 単位の遅延時間後に出力する様子を示す。この設定を適用することで、フィードバックを伴う故障回路はイベント個数分の遅延後、論理の衝突を検出し、新たな論理の発生を特定することで繰り返される論理の変遷をモニタでき、発振現象を再現できる。この検証の具体例を 4 章に示す。

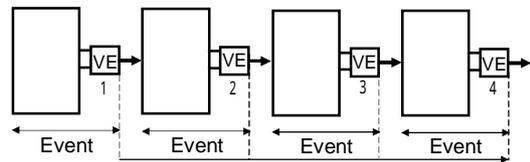


図 8 イベント単位の論理の伝搬と遅延

3.3. 論理の保持

貫通電流を伴わない故障は Tr のソースやドレイン端子のオープン故障にみられる。電源経路が切断されているため貫通電流が流れないためである。この故障はフローティング状態になる前に設定された論理が保

持されるという前提で論理の展開を図る。図 9 は PchTr のドレイン電極にオープン故障を有する Inverter 回路を示す。端子に”H”が入力したとき NchTr が on するため VE から”L”が出力する。この状態で端子に”L”が入力すると NchTr のドレイン部がオープン故障のため、論理判定表（表 1）より”0”と”HZ”の組合せから”L”が出力する。この出力論理が次段回路へ伝搬していく。以上、オープン故障を有する Tr 側からの論理を HZ とおくことで論理の保持状態を再現できる。

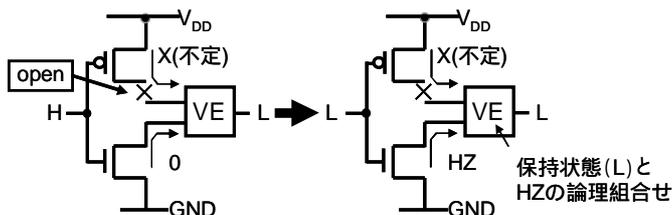


図 9 貫通電流を伴わない故障例

#### 4. 検証

故障論理の伝搬状態及び、ショート故障によるフィードバック回路網での発振現象を検証した。

##### 4.1. 故障伝搬

故障の伝搬状態の追跡検証に対して、図 10 に示すようにインバータ回路を 3 段に接続した回路を用いた。

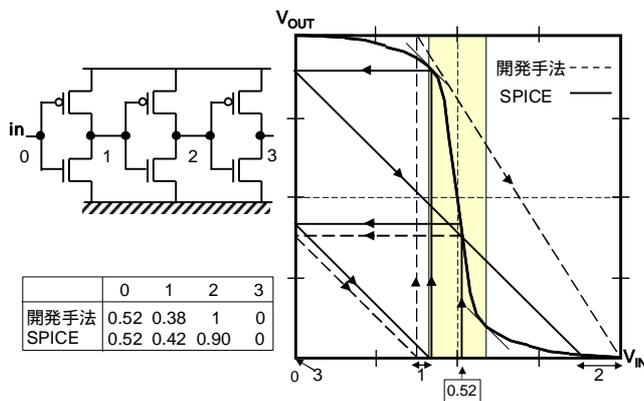


図 10 故障の伝搬状態の追跡検証

1 段目の入力端子に中間電位  $0.52 \cdot V_{DD}$  が印加したとする。中間電位における Tr の動作点より決定されるインピーダンス値より、PchTr 側は正常状態に比べて約 5 倍のインピーダンス値を、NchTr 側は約 3 倍のインピーダンス値を有する動作状態になる。そのため 1 段目の Inverter 回路の出力は  $(3/8) \cdot V_{DD} = 0.38 \cdot V_{DD}$  となる。この電圧が 2 段目の Inverter 回路に入力すると、同様に、PchTr 側は約 2 倍のインピーダンス値を、NchTr 側は約 6 倍のインピーダンス値を有する動作状態にな

る。そして、2 段目の Inverter 回路の出力は  $(6/8) \cdot V_{DD} = 0.75 \cdot V_{DD}$  となる。この電圧値は中間電位の定義域から外れるため、3 段目の Inverter 回路は GND を出力する。

同様に SPICE を用いた結果は 1 段目 Inverter 回路の出力は  $0.42 \cdot V_{DD}$ 、2 段目のそれは  $0.90 \cdot V_{DD}$  であり、3 段目において GND が出力するシミュレーション結果となる。以上、本診断結果とほぼ同じ傾向を示した。

##### 4.2. フィードバック故障による発振現象

発振現象の検証に対して、図 11 に示すように Inverter 回路を 4 段接続した回路を用いた。回路中 4 段目は 2 個に並列構成であり 1 段目の出力と 4 段目の出力間を短絡した故障構成となっている。

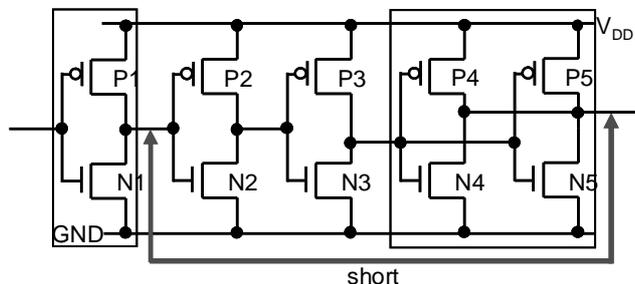


図 11 発振現象の検証

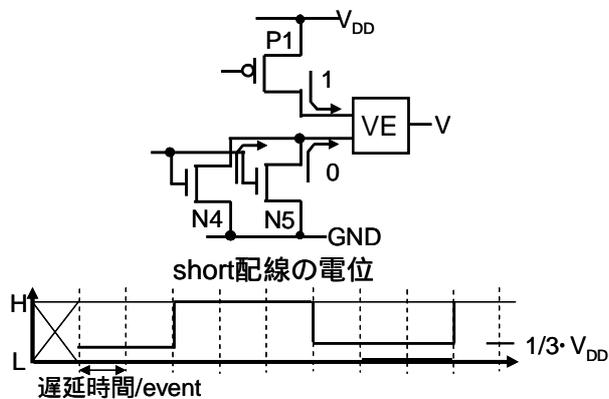


図 12 入力 L における貫通回路網と発振チャート図

入力に L を印加したとき 4 段目は L を出力する。FB により 1 段目と 4 段目の出力端子間が短絡しているため、このゲート間で貫通電流網が形成される。VE を用いた貫通回路網の記載は図 12 上段に示す通りであり、PchTr 側からは 1 個の Tr(P1) による論理 ”1” が、NchTr 側からは並列 Tr(N4,N5) による論理 ”0” が入力する。従って、VE において Z\_C 処理が実施されて論理が決定される。この論理値の計算を式 に示す。

$$V = \frac{\{(n_{N4})^{-1} + (n_{N5})^{-1}\}^{-1}}{n_{P1} + \{(n_{N4})^{-1} + (n_{N5})^{-1}\}^{-1}} \cdot V_{DD} = (1/3) \cdot V_{DD} \dots$$

この結果、短絡線上は $(1/3) \cdot V_{DD}$ の値となる。中間電位の定義から外れるため "L" レベルとして識別される。この論理は 2 段目、3 段目を介して 4 段目にて "H" として出力される。そして短絡配線上は "H" が印加されることになる。この論理が再び 2 段目、3 段目を介して、4 段目の出力にて "L" となり短絡配線の論理を $(1/3) \cdot V_{DD}$ とする。以上、発振の様子を図 12 下段の論理チャートに示す。

同様に入力に H を印加したとき 4 段目は H を出力する。そして、FB により 1 段目と 4 段目の出力端子間が短絡しているため、このゲート間で貫通電流網が形成される。この論理値の計算を式に示す。

$$V = \frac{n_{N1}}{n_{N1} + \{(n_{P4})^{-1} + (n_{P5})^{-1}\}^{-1}} \cdot V_{DD} = (2/3) \cdot V_{DD} \dots\dots$$

貫通回路網を図 13 上段に発振の論理チャートを下段に示す。

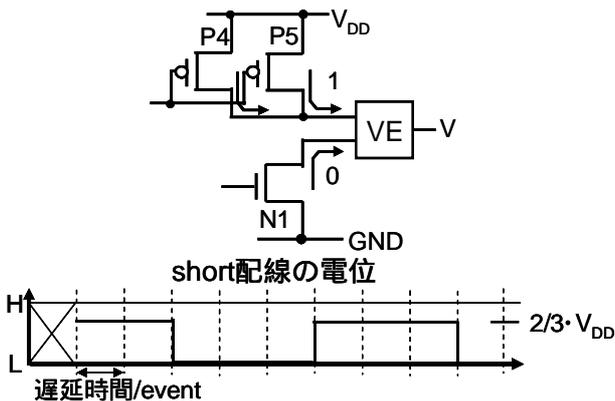


図 13 入力 H における貫通回路網と発振チャート図

上述したようにこの検証において、論理が展開する過程で遅延を持たせることが確実な論理の展開を検証するのに助けとなった。また、1 遅延毎に論理の変化が変わるため実故障動作に近いシミュレーションが可能となった。

### 5. まとめ

トランジスタレベルの診断技術をベースとした「セル内故障診断」方式の精度向上を図った。

まず、診断精度向上に対して中間電位の定義と各電位が設定するインピーダンス値を細分化を行なった。

さらに、貫通電流回路網をイベント単位として次段回路と独立した論理解析を可能にすべく PchTr 集合体と NchTr 集合体の論理が合流する箇所に仮想素子 (virtual elements : VE) を設けた。この導入は出力論理の

判定を容易にし、任意の遅延時間の設定が可能なることから故障論理の追跡を可能にした。さらに、貫通電流を伴わない故障に対して論理の保持という現象を組み込むことで診断を可能にした。

この結果、故障動作の再現精度が向上し、組合せ回路と共に順序回路の診断が可能となった。そして、従来方式では追跡が難しかった故障論理の伝搬やフィードバック動作の再現が可能となった。

以上の改善をソフトウェアに組み込むことで精度の向上を図る。さらに、診断する回路規模の拡大を含めて、高精度に短時間で故障候補を特定する技術開発を行う予定である。

現在、ショート故障箇所をゼロ及び、オープン故障箇所を無限大としているが、この故障抵抗値をパラメータとしてインピーダンス網に組み込むことで精度向上をはかる研究を行なっている。

又、故障現象のビジュアル化として指定ノードの電圧値のパターン変化に対する画像表示機能の検討を行なっている。

### 謝辞

本研究に際して、ご支援いただきましたアストロン社の皆様に感謝致します。

### 文 献

- [1] 佐藤、“LSI 故障診断の現状と課題～チュートリアル～”、LSI テストシンポジウム 2006、pp.173-179, 2006.
- [2] 特許願 2005-136528 号 (2005/05/09)
- [3] 真田、則松、“スイッチング・レベル・シミュレーションを用いた組み合わせ回路内故障箇所の特定”、LSI テストシンポジウム 2004、p235-240, 2004
- [4] 真田、“トランジスタの動作解析による故障箇所の特定 - リーク故障が論理動作に与える影響 - ”、信学技報 R2006-31-38、Vol.106、No.377、pp.1-6、Nov. 2006.
- [5] M. Sanada and Y. Yoshizawa, “Fault diagnosis technology based on transistor behavior analysis,” Microelectronics Reliability, vol.46, Issues 9-11, pp.1575-1580, Sept.-Nov. 2006.
- [6] 真田、吉澤、則松、“スイッチング・レベル・シミュレーションを用いたセル内故障診断 - リーク故障が論理動作に与える影響 - ”、LSI テストシンポジウム 2005、p225-230, 2005.
- [7] 真田、“トランジスタ動作点の解析による故障論理の追跡”、LSI テストシンポジウム 2006、pp.205-210, 2006.