

トランジスタ動作点の解析による故障論理の追跡 Fault Path Tracing Based on Transistor Operating Point Analysis

真田 克

M. Sanada

高知工科大学 工学部 電子・光システム工学科

Dept. of Electronic and Photonic Systems Engineering, Kochi University of Technology

要約: トランジスタレベルの診断技術において、中間電位の定義と各電位が設定するインピーダンス値を細分化することで診断精度を向上させた。前者の中間電位は Inverter 回路において電圧利得(V_{OUT}/V_{IN})の絶対値が 1 以上のエリアに対して設定される電位である。後者はこの電位による PchTr と NchTr の電流 - 電圧特性から決定される動作点を分類して得られるインピーダンス値の細分化である。多様な Tr 形状のインピーダンスに対して Tr のゲート長(L)/ゲート幅(W)値を用いた換算を行う。この結果、故障動作の再現精度が向上し、組合せ回路と共に順序回路の診断が可能となった。そして、従来方式では追跡が難しかった故障論理の伝搬やフィードバック動作の再現が可能となった。

Abstract: The segmentation of impedance value is improved the fault diagnosis capability, the value which indicates the operating point of transistor in middle range voltage. The middle level means the area with voltage gain (V_{OUT} / V_{IN}) over 1 in inverter circuit. This segmentation is applied to classify operating point detected by V-I characteristics of PchTr and NchTr and to detect impedance value of each them. For various Tr formation, the ratio of it's gate length(L)/ gate width(W) value is added to standard Tr's value. By using above data, operation accuracy of fault movement is improved. This technology makes it possible to examine the quantification of fault logic propagation and feedback operation result from fault mode

キーワード: CMOS、インピーダンス、トランジスタ動作点、故障伝搬、発振現象

Keywords: CMOS, Impedance value, Tr operating point, Fault propagation, oscillation phenomenon

1. まえがき

LSI の大規模化、多層配線構造化は故障箇所の特を困難にしてきており、故障解析は膨大な工数を費やす傾向になってきている。物理解析を行うために予めソフトウェアを用いて故障箇所候補を特定し、その候補に対して診断方式が研究開発されてきている。従来、故障診断はセル(基本的な論理動作を有する回路単位)間を接続する配線に対して stuck_at faults(SAF)故障の論理診断を行っていた。しかしながら回路構成はセルといえどもトランジスタ(Tr)数が 500 個を超える規模が作られるようになり、さらに多層配線構造化は最下層にセルを構成するため、セル内部に注目した Tr レベルの診断が必要になってきている。特に故障箇所から故障論理が伝搬し、出力異常として発覚する故障モードはゲートに入力する故障論理によって多様な動作を繰り返すため SAF では説明できないケースが検出されている。

ところで、これまでの研究や公知の論文から LSI 故障の現象を整理すると図 1 に示すように 3 点に集約される。

- 1) LSI 故障は出力端子における論理異常や電源電流の異常として顕在化する。
- 2) 論理故障の 90% 以上は電流異常を伴う。

- 3) 電流異常の 75% 以上は配線系故障である。

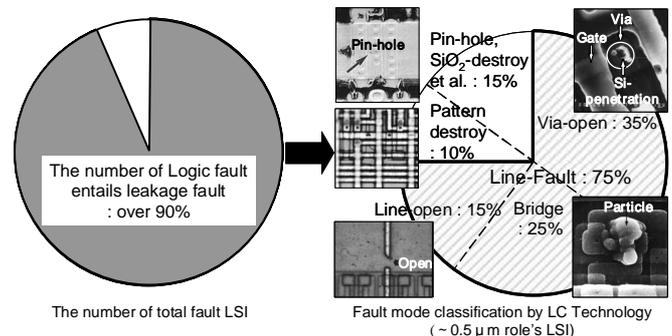


図1 LSI故障について

この結果は、LSI 故障は論理異常と同時に電源電流異常(リーク故障)を伴い、この大半は配線系の故障であることを述べている[1]。そして、このようなデータをもとに Tr レベルの故障箇所候補を特定するアルゴリズムの研究と診断ソフトウェアの開発を行ってきた[2][3]。

これまで

- * 基本的な診断コンセプトとソフトウェア構成
 - * 論理故障が電流異常を伴う故障現象の考察
 - * ゲート回路による故障候補の絞込み検証
 - * 実際の故障 LSI への適用結果
- を報告してきた[1][4][5]。しかしながら 故障論

理の伝搬過程の追跡、さらにはフィードバック (FB)故障による発振現象の検証に適用したとき、実故障との合致が得られないケースが発覚した。そのため論理の展開に注目した診断方法の強化と Tr レベルでの動作点の詳細解析することでこれらの故障の再現性を確かめた。

本文はこのような故障追跡を高い精度で追跡する方法を述べるものであり、まず 2 章にて診断の概要を簡単に述べた後、次章にて故障の伝搬追跡を行うために開発した研究内容を報告する。そして4章にて故障論理の伝搬過程の追跡とフィードバック故障による発振現象の再現の検証結果を示す。5章にて今後の展開が期待できる大規模化への展開を含めた高精度化への指針と問題点を述べる。

2. 診断の概要

診断は Tr レベルの回路レイアウト上からのリーク故障候補を特定し、この候補をもとにスイッチングレベルシミュレーション(SLS)を用いて診断を行う方式である。その結果、確度の高い故障候補を特定するソフトウェアを開発してきた。以下に診断の概要を述べる。

2.1 診断フロー

診断手順は図 2 に示すように、公知の方式で絞り込まれたセルや回路網に対して、Tr レベルのレイアウト構造からリーク故障を発生する可能性のある箇所を故障候補として特定する。次に、これらの故障候補を回路に埋め込み、Tr の動作点解析を組み込んだ SLS 診断を実施する。そして、出力する結果が実際の故障と一致する箇所を故障候補として特定する手順である。

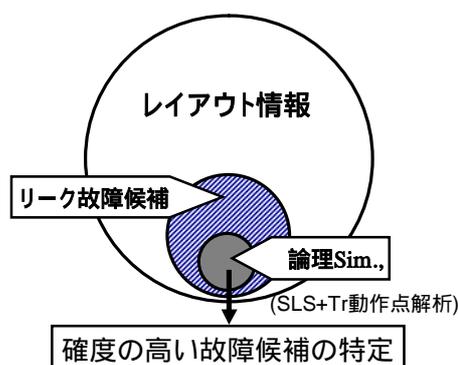


図 2 診断手順

2.2 レイアウト情報

レイアウト情報は LVS(Layout Versus Schematic)を用いて特定したリークの可能性のある情報であり、ショート箇所候補とオープン箇所候補のインスタンス名と位置情報を有する。

2.3 診断

診断は Tr の動作点解析を組み込んだ SLS 診断である。SLS は Tr のゲート(G)端子に印加する論理に同期してソース(S)・ドレイン(D)間が導通または非導通となるスイッチング動作をベースとした論理シミュレーションであり、ゲート電圧に依存した Tr の動作状態を組み込むことで診断精度を向上させた。この Tr 動作はゲート電圧の変化により Tr を on/off すると同時に任意の電圧範囲では on 状態が持続するという特性を有する。このような論理状態は CMOS 回路において電源間に貫通電流網を形成する。そして貫通網をインピーダンスに置き換えることで出力論理値を算出する。

上述した診断方式は従来のセル間診断で扱ったしきい電圧値 (V_{th}) に対する 2 値論理としての診断方式と異なるものである。

3. 故障の伝搬追跡のための工夫

フィードバック(FB)故障を含む故障の伝搬の追跡を行うために、診断システムの機能の強化と中間電位による Tr の動作点の抽出制度の向上を図った。

3.1 機能の強化

診断システムの強化は Tr 極性の判定のためのルール化、仮想素子の導入による論理の判定及び、ゲート単位の論理展開に対する遅延の導入である。

3.1.1 Tr 極性の判定ルール化

このルール化は設計データとして準備された SPICE (Tr 電源端子に接続するネット名のリスト) の記述順序の変化に対応するためである。そのため、NchTr 端子の接続先が GND に到達する方向を、同様に PchTr 端子のそれが V_{DD} に到達する方向をソースとすることで電極を決定することでルール化を図った。

3.1.2 仮想素子導入による論理判定

論理が合流する箇所に仮想素子 (virtual elements:VE) を設ける。出力論理はその素子に入力する論理関係から論理を判定する。表 1 は論理の組合せに応じて決定される出力論理を示す判定表である。表中 Weak0, Weak1 は後述する中間電位の範囲に位置する電圧であり、各々しきい値 ($V_{DD} / 2$) より低い電圧と高い電圧を示す論理値である。HZ はハイ・インピーダンス値、さらに Z_C は出力論理値を決定するためにインピーダンス計算が必要であることを示す。例えば一方側が 0、他方側が 1 を有する論理が VE に入力したとき貫通電流網が形成される。そのため出力論理はこの貫通網の Z_C 処理により決定される。以上の処理は多様な故障論理値に対する診断や、貫通電流を伴わない故障診断に対しても有効である。

表 1 論理を組合せによる出力論理の判定表

	0	1	w _{weak} 0	w _{weak} 1	HZ
0	0				
1	Z_C	1			
w _{weak} 0	0	Z_C	w _{weak} 0		
w _{weak} 1	Z_C	1	Z_C	w _{weak} 1	
HZ	0	1	0	1	HZ

(Z_C:インピーダンス計算)

3.1.2.1 多様な論理値への適用

多様な論理は故障による複数ゲート回路に対する論理の算出適用であり、形成された貫通電流網の Tr をインピーダンスに置き換えることでこの回路網の Z_C 処理をおこない出力値を決定する。

3.1.2.2 貫通電流を伴わない故障

この故障は Tr のソースやドレイン端子のオープン故障にみられる。電源経路から切断されているため貫通電流は流れない。このような故障に対してフローティングによる論理のチャージ現象を再現する。図 3 は PchTr のドレイン電極が開放故障となる Inverter 回路を示す。VE を用いた論理の決定において、VE は常に論理変化の直前の論理を保持している。そして、次の入力において回路全体が HZ になったと判断した時、保持している論理を出力する。但し、次の入力において 0, 1, weak0, weak1 の

論理が VE に入力するとこの判定法に従って各々の論理を出力する。

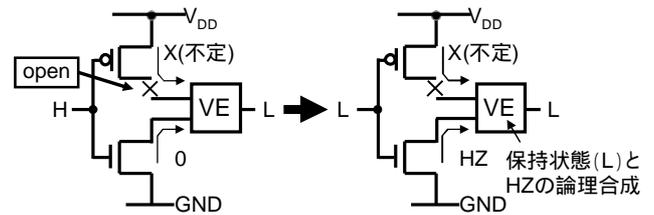


図 3 貫通電流を伴わない故障例

3.1.3 遅延の付加

故障信号の伝搬や特にフィードバック故障による発振現象を再現するために VE の通過時に一律に遅延を付加することで、各イベント毎の伝搬を明確にする。

3.2 中間電位

図 4 は Inverter 回路の $V_{IN} - V_{OUT}$ 特性であり、 V_{IN} に対する PchTr と NchTr の動作領域の変化を示す。NchTr に対して GND (0) ~ A 間は遮断領域 (cut_off)、A ~ D 間は飽和領域 (satu.), D ~ V_{DD} 間是非飽和領域 (un_satu.) PchTr に対して V_{DD} ~ F 間は遮断領域 (cut_off)、F ~ C 間は飽和領域 (satu.), C ~ GND 間是非飽和領域 (un_satu.) である。A 点、F 点は各々 NchTr, PchTr に反転層が形成される電圧値であり、B 点 E 点は $dV_{IN}/dV_{OUT} = 1$ となる電圧値、C 点、D 点は飽和 - 非飽和領域へ変化する電圧値である。そして中間電位として B ~ E 間を定義する。

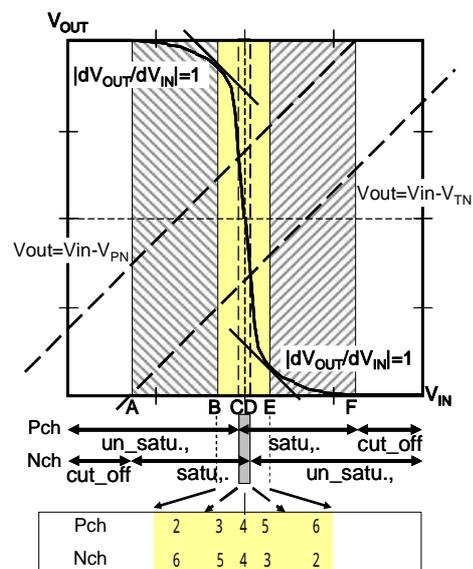


図 4 Inverter 回路の $V_{IN} - V_{OUT}$ 特性

ここで、Inverter 回路における V_{IN} は Tr のゲート - ソース間電圧 (V_{GS}) に対応し、 V_{OUT} は Tr のドレイン - ソース間電圧 (V_{DS}) に対応する。従って V_{IN} に同期した V_{OUT} の変化は V_{DS} の変化となり、 Tr の静特性からインピーダンス値の変化として見積もることができる。図 4 の下部に示す表は P_{ch} 、 $N_{ch}Tr$ のゲート電圧に対する、“電源電圧値がゲート電極に印加したときの Tr のインピーダンス値を 1” とした時の比率である。これらの比率は中間電位の各位置において Tr のインピーダンス値が大きく変化することを示している。詳細は Appendix を参照のこと。

4. 検証

故障論理の伝搬状態及び、短絡故障による FB 回路網での発振現象を検証した。

4.1 故障伝搬

故障の伝搬状態の追跡検証に対して、図 5 に示すようにインバータ回路を 3 段に接続した回路を用いた。

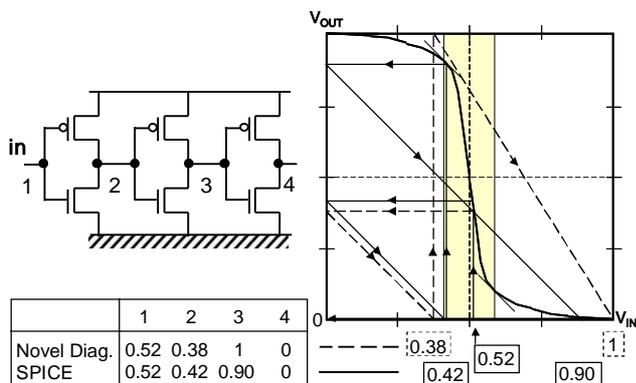


図 5 故障の伝搬状態の追跡検証

1 段目の入力端子に中間電位 $0.52 \cdot V_{DD}$ が印加したとする。中間電位における Tr の動作点におけるインピーダンス値より、 $P_{ch}Tr$ 側は正常状態に比べて約 5 倍のインピーダンス値を、 $N_{ch}Tr$ 側は約 3 倍のインピーダンス値を有する動作状態になる。そのため 1 段目の Inverter 回路の出力は $(3/8) \cdot V_{DD} = 0.38 \cdot V_{DD}$ となる。この電圧が 2 段目の Inverter 回路に入力すると、同様に、 $P_{ch}Tr$ 側は約 2 倍のインピーダンス値を、 $N_{ch}Tr$ 側は約 6 倍のインピーダンス値を有する動作状態になる。そして、2 段目の Inverter 回

路の出力は $(6/8) \cdot V_{DD} = 0.75 \cdot V_{DD}$ となる。この電圧値は中間電位の定義域から外れるため、3 段目の Inverter 回路は GND を出力する。

同様に SPICE を用いた結果は 1 段目 Inverter 回路の出力は $0.42 \cdot V_{DD}$ 、2 段目のそれは $0.90 \cdot V_{DD}$ であり、3 段目において GND が出力するシミュレーション結果となる。以上、本診断結果と同じ傾向を示した。

4.2 発振現象の再現

発振現象の検証に対して、図 6 に示すように Inverter 回路を 4 段接続した回路を用いた。回路中 4 段目は 2 個に並列構成であり 1 段目の出力と 4 段目の出力間を短絡した故障構成となっている。

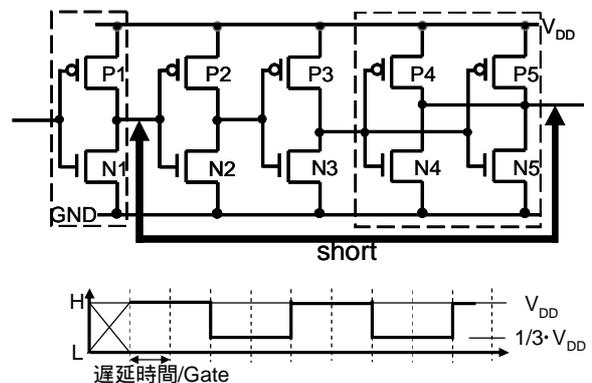


図 6 発振現象の検証

入力に $L(V_{IL})$ を印加したとき 4 段目は L を出力する。FB により 1 段目と 4 段目の出力端子間が短絡しているため、このゲート間で貫通電流網が形成される。VE を用いた貫通回路網の記載は図 7 に通りであり、 $P_{ch}Tr$ 側からは 1 個の $Tr(P1)$ による論理”1”が、 $N_{ch}Tr$ 側からは並列 $Tr(N4, N5)$ による論理”0”が入力する。従って、VE において Z_C 処理が実施されて論理が決定される。

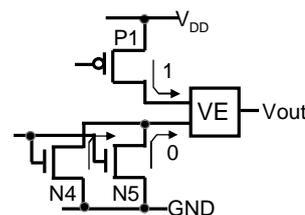


図 7 VE を用いた貫通回路網

計算を式(1)に示す。

$$V_{out} = \frac{\{(n_{N4})^{-1} + (n_{N5})^{-1}\}^{-1}}{n_{p1} + \{(n_{N4})^{-1} + (n_{N5})^{-1}\}^{-1}} \cdot V_{DD}$$

$$= (1/3) \cdot V_{DD} \quad \dots \dots (1)$$

この結果、短絡線上は $(1/3) \cdot V_{DD}$ の値となる。中間電位の定義から外れるため”L”レベルとして識別される。この論理は 2 段目、3 段目を介して 4 段目にて”H”として出力される。そして短絡配線上は”H”が印加されることになる。この論理が再び 2 段目、3 段目を介して、4 段目の出力にて”L”となり短絡配線の論理を $(1/3) \cdot V_{DD}$ とする。以上、発振の様子を図 6 の論理チャート図に示す。上述したようにこの検証において、論理が展開する過程で遅延を持たせることが確実な論理の展開を検証するのに助けとなった。また、1遅延毎に論理の変化が変わるため実故障動作に近いシミュレーションが可能となった。

5. まとめ

これまで開発してきたトランジスタレベルの故障診断方式を発振現象の再現を含む故障の伝搬経路とその間の故障論理の変化の特定に応用すべく検討した。

1 つは現方式の機能強化であり、もう 1 つは中間電位に位置する Tr の動作点から決定されるインピーダンス値の細分化である。この検証結果は伝搬していく故障論理の定量値の算出や、フィードバック故障に対して発振現象の再現とその出力電圧値の算出を可能とした。また、ソースやドレイン電極部のオープン故障による出力論理値の特定の可能性も検証できた。

以上の対策をソフトウェアに組み込むことで精度の向上を図る。さらに、診断する回路規模の拡大を含めて、高精度に短時間で故障候補を特定する技術開発を行う予定である。

謝辞

本研究に際して、ご支援いただきましたアストロン社の皆様に心より感謝の意を表します。

参考文献

- [1] 真田、則松、“スイッチング・レベル・シミュレーションを用いた組み合わせ回路内故障箇所の特定”、LSI テストシンポジウム 2004、p235-240、2004。
- [2] 特許願 2005-136528 号 (2005/05/09)
- [3] M. Sanada and Y. Yoshizawa, “Fault diagnosis technology based on transistor behavior analysis,” Microelectronics Reliability, vol.46, Issues 9-11, pp.1575-1580, Sept.-Nov. 2006.
- [4] 真田、吉澤、則松、“スイッチング・レベル・シミュレーションを用いたセル内故障診断 - リーク故障が論理動作に与える影響 - ”、LSI テストシンポジウム 2005、p225-230、2005。
- [5] 吉澤、則松、佐藤、二階堂、真田、“スイッチング・レベル・シミュレーションを用いたセル内故障診断技術 - 故障動作と診断精度の検証 - ”、LSI テストシンポジウム 2005、p231-236、2005。

Appendix

参考資料として、中間電位の定義の詳細、中間電位領域での Tr のインピーダンス値の算出および、多彩な Tr サイズに対するインピーダンス値の算出について述べる。

< 中間電位の定義 >

中間電位の設定に関して定義内容を述べる。図 8 は NchTr、PchTr の $V_{DS} - I_{DS}$ 特性及び、これらの Tr を用いて構成した Inverter 回路の $V_{IN} - V_{OUT}$ 特性を示す。図中の A~F 点は動作内容に意味をもつ位置であり、中間電位の定義の説明に用いる。

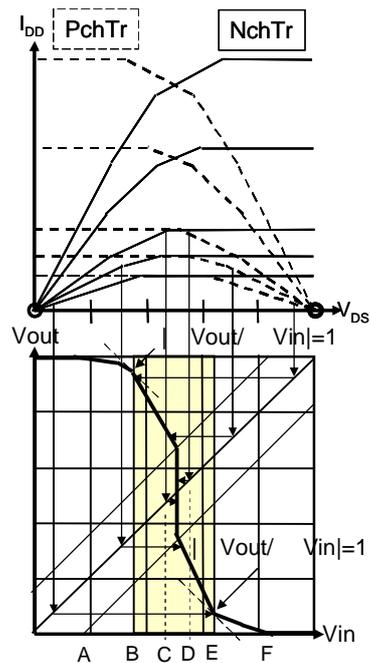


図 8 中間電位の定義

A,F 点は NchTr, PchTr のチャンネル部に反転層が形成されるしきい電圧 V_{Tn} , V_{Tp} であり、(2)式で表される。

$$V_T = \frac{2 \cdot \epsilon_{Si} \cdot q \cdot N_A \cdot (2 \cdot \Phi_F)}{C_{ox}} + 2 \cdot \Phi_F \cdots \cdots (2)$$

(ϵ :誘電率、 Φ_F :フェルミポテンシャル、 q :電子の電荷量、 C_{ox} :酸化膜容量、 N : V_{Tn} のとき N_A 、 V_{Tp} のとき N_d を用いる)

B,E 点は $V_{IL(max)}$, $V_{IH(min)}$ と定義される規格値である。これらの値は Inverter の電圧利得が絶対値で 1 となる入力値であり、雑音などによる入力信号の変動に対して同期する出力論理値の増幅限界値を定義している。この定義を(3)式に示す。

$$\begin{aligned} V(out) &= f(Vin + Vnoise) \\ &= f(Vin) + \frac{dVout}{dVin} \cdot Vnoise \cdots \cdots (3) \end{aligned}$$

(V_{OUT} は V_{IN} の関数 $f(Vin)$ として表示されており、右辺の第二項はノイズ $\Delta Vnoise$ による変化をテーラ展開した一次微分項である。そして $|dV_{OUT}/dV_{IN}|=1$ となる点を V_{IL} , V_{IH} の境界として定義する。)

C,D 点は NchTr, PchTr のピンチオフ点であり、これ以降、飽和領域に動作点をもつ。ピンチオフ点の関係式を(4)式に示す。

$$V_{DS}(Vout) = V_{GS}(Vin) - V_T \cdots \cdots (4)$$

(V_{DS} :ドレイン・ソース間電圧、 V_{GS} :ゲート・ソース間電圧)

以上の動作点から B~E 点で囲まれた動作領域を中間電位と定義する。

<インピーダンス値の算出>

次にこれらの動作領域に位置する Tr 動作点のインピーダンス値の算出について述べる。図 8 より V_{IN} の変化に伴い各 Tr 動作点が変わる様子がわかる。また、動作点が見える V-I 値の勾配はインピーダンス値を表す。

この V_{IN} の変化に対応する各 Tr にインピー

ダンス値は図 6 に示した比率に対応する。なお、各動作点でのインピーダンス値の算出については前回の当シンポジウムを参照ください。

<多様な Tr サイズ対応>

Tr の動作点からインピーダンス値を算出する方法を述べたが、多様な Tr サイズに対するインピーダンス値の比率は SPICE 上に記載された L(ゲート長)/W(ゲート幅)値を、基準となる Tr(一般的に 1 対の Nch と PchTr で構成された Inverter 回路)の L/W 値に対する比率から決定される。